

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10294717 A**(43) Date of publication of application: **04 . 11 . 98**

(51) Int. Cl.

**H04J 13/00****H04B 7/26****H04Q 7/38****H04L 7/00**(21) Application number: **09276479**(22) Date of filing: **24 . 09 . 97**

(30) Priority:

24 . 09 . 96	US	96	26637
31 . 03 . 97	US	97	828880
05 . 03 . 97	US	97	811922
31 . 03 . 97	US	97	828575
13 . 03 . 97	US	97	816484
10 . 09 . 97	US	97	926512

(71) Applicant: **OKI TELECOM INC**

(72) Inventor:

**KYPING LEE**  
**ITO KATSUTOSHI**  
**DANNY STOPLER**  
**AMIT OOREN**  
**GIRARD AYAROON**  
**UJI KEILL**

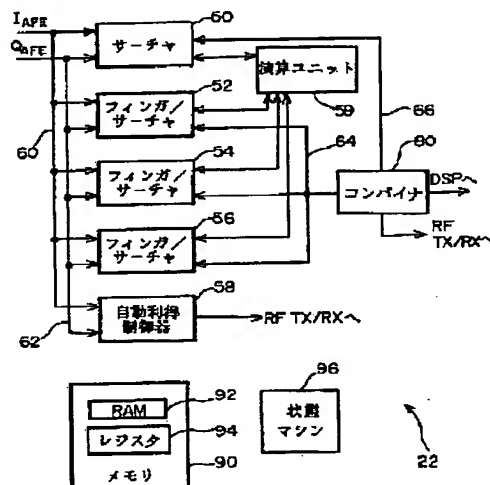
(54) **CDMA MODEM CIRCUIT, CDMA WIRELESS TELEPHONE METHOD, COMBINATION FINGER/SEARCHER CIRCUIT AND SEARCHER CIRCUIT**

COPYRIGHT: (C)1998,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a modem circuit by which a time required to acquire a code division multiplex access(CDMA) pilot channel is reduced.

**SOLUTION:** This modem circuit is provided with a plurality of combination finger/searcher circuits 52, 54, 56, that act as a data acquisition finger and also as a pilot channel acquisition searcher and with an exclusive searcher circuit 50. Each of the combination finger/searcher circuits is operated in a searcher mode to acquire a pilot channel independently and also operated in the finger mode for data acquisition. Furthermore, each of the combination finger/searcher circuits is assigned to different parts for a PN period (that is, a pseudo-timing space) to search a pilot channel independently. When the pilot channel is discovered and a mobile station is in synchronism with a base station, each of the combination finger/searcher circuits starts its function as a data acquisition finger circuit and receives an input signal and continues the demodulation operation of the input signal.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-294717

(43) 公開日 平成10年(1998)11月4日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 4 J 13/00

H 0 4 B 7/26

H 0 4 Q 7/38

H 0 4 L 7/00

H 0 4 J 13/00

H 0 4 L 7/00

H 0 4 B 7/26

A

C

N

1 0 9 N

審査請求 未請求 請求項の数10 F D (全 37 頁)

(21) 出願番号 特願平9-276479

(22) 出願日 平成9年(1997)9月24日

(31) 優先権主張番号 60/026, 637

(32) 優先日 1996年9月24日

(33) 優先権主張国 米国 (US)

(31) 優先権主張番号 08/828, 880

(32) 優先日 1997年3月31日

(33) 優先権主張国 米国 (US)

(31) 優先権主張番号 08/811922

(32) 優先日 1997年3月5日

(33) 優先権主張国 米国 (US)

(71) 出願人 597143029

オキ テレコム インコーポレイテッド  
アメリカ合衆国, ジョージア 30024, ス  
ワニー, オールド ビーチツリー ロード  
437

(72) 発明者 カイピング リー

アメリカ合衆国, ジョージア, ローレンス  
ビル, イーグル ポイント コート 2305

(72) 発明者 伊東 克俊

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(74) 代理人 弁理士 亀谷 美明 (外2名)

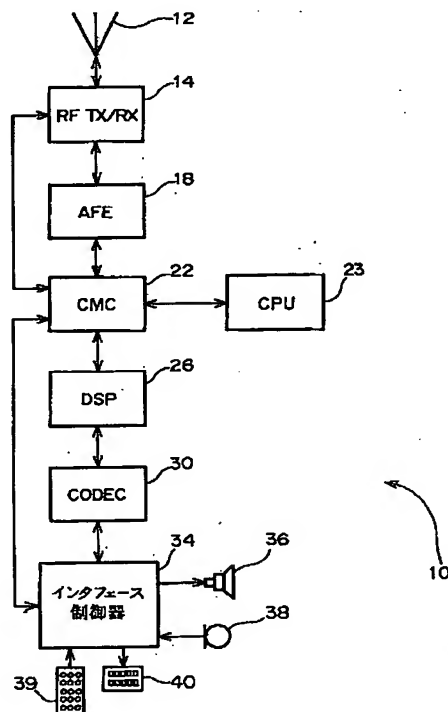
最終頁に続く

(54) 【発明の名称】 CDMAモデム回路, CDMAワイヤレス電話方法, 組合わせフィンガ/サーチ回路およびサーチ回路

(57) 【要約】

【課題】 CDMAパイロットチャネル取得に要する時間を短縮可能なモデム回路を提供する。

【解決手段】 データ取得フィンガとして機能すると共に、パイロットチャネル取得サーチとしても機能する複数の組合わせフィンガ/サーチ回路52, 54, 56と、一つの専用サーチ回路50を備えている。各組合わせフィンガ/サーチ回路は、独立にパイロットチャネルを取得するためにサーチモードで動作することが可能であると共に、データ取得のためにフィンガモードで動作することも可能である。また、各組合わせフィンガ/サーチ回路は、PN期間(すなわち仮説タイミング空間)の異なる部分に割当てられ、独立にパイロットチャネルのサーチをすることができる。パイロットチャネルが発見され、移動局が基地局と同期すると、フィンガ/サーチ組合わせ回路はデータ取得フィンガ回路として機能を開始し、入力信号を受信して、それを復調する動作を継続する。



## 【特許請求の範囲】

【請求項1】 符号分割多重アクセス（CDMA）モデム回路であって、同相（I）及び直交位相（Q）入力信号に基づいてパイロットチャネルサーチ結果を生成するように構成された専用CDMAサーチチャと、サーチチャモード時には前記I及びQ入力信号に基づいてパイロットチャネルサーチ結果を生成し、フィンガモード時には前記I及びQ入力信号からデータを復調するように構成された少なくとも一つのCDMA組合せフィンガ／サーチチャと、から成ることを特徴とする、CDMAモデム回路。

【請求項2】 前記専用CDMAサーチチャは、疑似乱数（PN）乗算器と、前記PN乗算器に接続されたコヒーレント累算器と、前記コヒーレント乗算器に接続された多機能比較器回路とを含み、前記多機能比較器回路は、振幅評価器と、初期ダンプしきい値比較器と、ノンコヒーレント累算器と、ローカル最大値検出器と、3最大値ソータとして構成されていることを特徴とする、請求項1に記載のCDMAモデム回路。

【請求項3】 前記少なくとも一つのCDMA組合せフィンガ／サーチチャは、PN乗算器と、前記PN乗算器に接続されたコヒーレント累算器と組み合わせられた位相ロックループと、前記PN乗算器に接続された多機能遅延ロックループ（DLL）とから構成されることを特徴とする、請求項1に記載のCDMAモデム回路。

【請求項4】 前記多機能DLLは、DLL減算器と、前記コヒーレント累算器と組み合わせられるDLLエラー累算器と、多機能比較器と、先行／遅延回路とを含み、前記多機能比較器は初期ダンプしきい値比較器と最大値検出器として構成されることを特徴とする、請求項1に記載のCDMAモデム回路。

【請求項5】 複数のパイロットチャネルサーチチャを使用して基地局パイロットチャネルを取得するCDMAワイヤレス電話方法であって、サーチウィンドウ情報を備えた複数のパイロットチャネルサーチチャを構成する工程と；前記複数のパイロットチャネルサーチチャ内において同時にパイロットチャネルサーチを開始する工程と；前記複数のパイロットチャネルサーチチャからサーチ結果を生成する工程と；前記複数のパイロットチャネルサーチチャからの結果と所定のサーチ結果しきい値とを比較して、確からしいタイミング仮説を識別する工程と；から成ることを特徴とするCDMAワイヤレス電話方法。

【請求項6】 全PNシーケンスのサーチに応じて、確からしい仮説周辺のサーチウィンドウを反復的にサーチすることにより、確からしい仮説の質を検証する工程を含むことを特徴とする、請求項5に記載のCDMAワイヤレス電話方法。

【請求項7】 符号分割多重アクセス（CDMA）ワイヤレス電話用組合せフィンガ／サーチチャ回路であって、疑似乱数（PN）乗算器と；前記PN乗算器に結合

されコヒーレント累算器と組み合わせられた位相ロックループ（PLL）と；前記PN乗算器に結合されノンコヒーレント累算器と組み合わせられた遅延ロックループと（DLL）と；前記PN乗算器に結合されたデータ復調器と；から成ることを特徴とする、組合せフィンガ／サーチチャ回路。

【請求項8】 前記DLLは、さらに初期ダンプしきい値比較器と、最大値検出器と、ロック検出比較器と組み合わせることを特徴とする、請求項7に記載の組合せフィンガ／サーチチャ回路。

【請求項9】 符号分割多重アクセス（CDMA）ワイヤレス電話用サーチチャ回路であって、疑似乱数（PN）乗算器と；前記PN乗算器に結合されるコヒーレント累算器と；前記コヒーレント累算器に接続される比較器回路と；から構成され、前記比較器回路は、ノンコヒーレント累算器と、振幅評価器と、初期ダンプしきい値比較器とを含むことを特徴とする、サーチチャ回路。

【請求項10】 前記比較器回路はローカル最大値検出器と3最大値ソータとを含み、前記振幅評価器と前記初期ダンプしきい値比較器と前記ローカル最大値検出器と前記3最大値ソータは全て単一の共通比較器を使用することを特徴とする、請求項9に記載のサーチチャ回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、一般的にワイヤレス電気通信分野に関し、さらに詳細には、符号分割多重アクセス（CDMA）ワイヤレス電話システムのような同期ワイヤレス電気通信システムにおけるパイロットチャネル取得技術の分野に関する。

## 【0002】

【従来の技術】本発明に関する主な標準仕様の一つは、TIA/EIA/IS-95-A “デュアルモード広帯域スペクトラム拡散セルラ方式に関する移動局－基地局間互換基準”（Mobile Station-Base Station Compatibility Standard for Dual-Mode Wideband Spread Spectrum Cellular System）である。この標準仕様は、本発明の技術分野における通常の知識を有するものには理解されていると考えられる。

【0003】CDMAワイヤレス電話システム（セルラシステム、パーソナル通信システム、衛星通信システム等）において、パイロットチャネルは順方向（基地局から移動局へ）のCDMAリンクのサブチャネルである。CDMAシステムの基地局は、このパイロットチャネルを使用して、移動局が基地局（セルサイトと称されることもある。）との初期同期を取る動作を支援し、基地局から信号が送信される間に、周波数、及び位相トラッキング情報を与える。しかし、移動局が同期などの動作のためにパイロットチャネルを使用する際には、まずパイ

ロットチャネルを取得しなければならない。移動局は、パワー供給を受けた時や、パイロットチャネルのトラックを失った時には、常にパイロットチャネルの取得を試行する。CDMAシステムにおけるすべてのセルサイトは、パイロットチャネルPN（疑似乱数）として同じPN 2進コードシーケンス（以下、PNシーケンスと称する。）を用いている。このPNシーケンスは、すべての移動局に知られており、各基地局は、同じパイロットチャネルPNシーケンスを異なるタイミングオフセットで伝送するので、基地局は移動局によって容易に相互識別される。

【0004】パイロットチャネルの取得は通常、移動局においてCDMAモデム回路、いわゆるサーチャを使って実施される。パイロットチャネル取得過程は通常、入力信号をディジタル表示に変換し、次いでパイロットチャネルPNシーケンスのタイミング修正のために一連の初期推測（仮説）を用いて、この受信信号をローカル発生されたパイロットチャネルPNシーケンスと比較する。このローカル発生パイロットチャネルPNシーケンスのタイミングについての推測（仮説）がパイロットチャネルPNシーケンスのタイミングと適合すると、ローカル発生パイロットチャネルPNシーケンスとパイロットチャネルPNシーケンスとの比較により大きな値の累算値が生じる。このようにして、受信信号とローカル発生PNシーケンスとの比較の結果、所定のしきい値を超える累算値が生じると、パイロットチャネルPNシーケンスのタイミングに関する仮説は潜在的に有効なものとなり、次の評価のために取得される。

【0005】TIA/EIA/IS-95-A CDMA標準規格によるワイヤレス電話の従来型具体化の一例では、ワイヤレス電話はCDMAモデム回路中に存する単一のパイロットチャネルサーチャを有している。このサーチャは受信したパイロットチャネルPNシーケンスとローカル発生パイロットチャネルPNシーケンスとの間の比較を実行する。またこのサーチャは比較ウィンドウズの結果を評価し、比較によりパイロットチャネルPNシーケンスとローカル発生パイロットチャネルPNシーケンスとの間において最適な仮説、すなわち最大の累積値を伴う評価を選択する。この評価プロセスはサーチャ回路がパイロットチャネルPNシーケンスを発見するまで継続される。デュアルモードCDMA/アナログ移動局の場合には、移動局がパイロットチャネルPNシーケンスを取得できなければ、移動局はあまり望ましくないアナログモードに落とすことが必要であると認識する。不運にも、ただ一つだけのサーチャを含む事象の場合に生じる一つの問題は、パイロットチャネルのサーチは、パイロットチャネルの発見、あるいはアナログモード動作の決定が必要となる以前に、大量の評価及び比較が行う必要がある点である。このような場合には、パイロットチャネルのサーチには多くの時間が浪費される。

【0006】移動局が基地局と同期した後に、基地局は、移動局が現在の基地局の送受信範囲を超えて移動した場合に、接続を継承する代替基地局のリストを転送する。基地局と同期後、サーチャ回路は他の基地局からのPNシーケンスを走査するスキャンモードに入る。サーチャ回路が十分な強さのPNシーケンス信号を発見すれば、その信号はその基地局から受信された信号のPNタイミングオフセットとして記憶され、現在の基地局の信号強度が落ち、そして一または二以上の他の基地局の信号強度が顕著に立ち上がった場合に、移動局はコール継承手続を開始する。

【0007】この点、従来のTIA/EIA/IS-95-A CDMA標準規格によるワイヤレス電話においては、上記処理を効率的に行うための十分なハードウェア構成が準備されていなかったため、大型の高価な回路を使用せざるを得なかった。

【0008】

【発明が解決しようとする課題】本発明は、従来のシステムが有する上記問題点を鑑みて成されたものであり、その第1の目的は、冗長性と無駄が最適化された回路を備えた、新規かつ改良された携帯ワイヤレス電話用のCDMAモデム回路、CDMAワイヤレス電話方法、組合わせフィンガ/サーチャ回路およびサーチャ回路を提供することである。

【0009】本発明の他の目的は、サーチャ回路とフィンガ回路とを効果的に組み合わせた、新規かつ改良されたCDMAモデム回路、CDMAワイヤレス電話方法、組合わせフィンガ/サーチャ回路およびサーチャ回路を提供することである。

【0010】さらに本発明の別の目的は、フィンガモードとサーチャモードで動作する組合わせフィンガ/サーチャ回路を備えた、新規かつ改良されたCDMAモデム回路、CDMAワイヤレス電話方法、組合わせフィンガ/サーチャ回路およびサーチャ回路を提供することである。

【0011】さらにまた本発明の別の目的は、共用成分の多重化を利用する少なくとも一つの組合わせフィンガ/サーチャ回路を備えた、新規かつ改良されたCDMAモデム回路、CDMAワイヤレス電話方法、組合わせフィンガ/サーチャ回路およびサーチャ回路を提供することである。

【0012】さらにまた本発明の別の目的は、CDMAフィンガ移相ロックループとCDMAサーチャコヒーレント累算器とを組み合わせた、新規かつ改良されたCDMAモデム回路、CDMAワイヤレス電話方法、組合わせフィンガ/サーチャ回路およびサーチャ回路を提供することである。

【0013】さらにまた本発明の別の目的は、CDMAフィンガ遅延ロックループとCDMAサーチャノンコヒーレント累算器とを組み合わせた、新規かつ改良された

CDMAモデム回路、CDMAワイヤレス電話方法、組合わせフィンガ／サーチ回路およびサーチ回路を提供することである。

【0014】さらにまた本発明の別の目的は、CDMAサーチ最大値検出器比較器とともにCDMAサーチ初期ダンプしきい値比較器を備えた、新規かつ改良されたCDMAモデム回路、CDMAワイヤレス電話方法、組合わせフィンガ／サーチ回路およびサーチ回路を提供することである。

【0015】さらにまた本発明の別の目的は、固定式ワイヤレス電話において一つの組合わせCDMAフィンガ／サーチ回路を使用することを可能にする、新規かつ改良されたCDMAモデム回路、CDMAワイヤレス電話方法、組合わせフィンガ／サーチ回路およびサーチ回路を提供することである。

【0016】さらにまた本発明の別の目的は、効果的なタイミングと共用成分の多重化を利用することが可能な、新規かつ改良されたCDMAモデム回路、CDMAワイヤレス電話方法、組合わせフィンガ／サーチ回路およびサーチ回路を提供することである。

【0017】さらにまた本発明の別の目的は、多機能比較器とロジック回路を含む、新規かつ改良されたCDMAモデム回路、CDMAワイヤレス電話方法、組合わせフィンガ／サーチ回路およびサーチ回路を提供することである。

【0018】さらにまた本発明の別の目的は、CDMAサーチ回路内の比較器を多重化して、初期ダンプしきい値比較器とローカル最大値検出器として機能させることが可能な、新規かつ改良されたCDMAモデム回路、CDMAワイヤレス電話方法、組合わせフィンガ／サーチ回路およびサーチ回路を提供することである。

【0019】さらにまた本発明の別の目的は、CDMAサーチ比較器を、振幅評価器、初期ダンプしきい値比較器、ローカル最大値検出器及び3つの最大値ソータの機能に分担させることが可能な、新規かつ改良されたCDMAモデム回路、CDMAワイヤレス電話方法、組合わせフィンガ／サーチ回路およびサーチ回路を提供することである。

【0020】さらにまた本発明の別の目的は、CDMAサーチ加算器を多重化して、振幅評価器及びノンコヒーレント振幅累算器として使用することを可能にした、新規かつ改良されたCDMAモデム回路、CDMAワイヤレス電話方法、組合わせフィンガ／サーチ回路およびサーチ回路を提供することである。

【0021】さらにまた本発明の別の目的は、高多重化されたCDMAサーチ回路を備えた、新規かつ改良されたCDMAモデム回路、CDMAワイヤレス電話方法、組合わせフィンガ／サーチ回路およびサーチ回路を提供することである。

【0022】さらにまた本発明の別の目的は、CDMA

サーチ回路内の2つのタイミング仮説を同時に比較することが可能な、新規かつ改良されたCDMAモデム回路、CDMAワイヤレス電話方法、組合わせフィンガ／サーチ回路およびサーチ回路を提供することである。

【0023】さらにまた本発明の別の目的は、複数のサーチ回路を効果的に使用して、基地局から伝送されるCDMAパイロットチャネルを迅速に識別し取得することが可能な、新規かつ改良されたCDMAモデム回路、CDMAワイヤレス電話方法、組合わせフィンガ／サーチ回路およびサーチ回路を提供することである。

【0024】さらにまた本発明の別の目的は、PN期間の異なる部分でパイロットチャネルPNシーケンスを同時にサーチすることが可能なように複数のサーチ回路を制御することが可能な、新規かつ改良されたCDMAモデム回路、CDMAワイヤレス電話方法、組合わせフィンガ／サーチ回路およびサーチ回路を提供することである。

【0025】さらにまた本発明の別の目的は、最初に全てのPN期間をサーチし、次いで全てのPN期間から最適なサーチ結果を検証する2段階方式でパイロットチャネルをサーチする、新規かつ改良されたCDMAモデム回路、CDMAワイヤレス電話方法、組合わせフィンガ／サーチ回路およびサーチ回路を提供することである。

【0026】さらにまた本発明の別の目的は、専用サーチ回路を、組合わせフィンガ／サーチ回路の最適なサーチ結果を検証するためだけに使用する、新規かつ改良されたCDMAモデム回路、CDMAワイヤレス電話方法、組合わせフィンガ／サーチ回路およびサーチ回路を提供することである。

【0027】さらにまた本発明の別の目的は、CDMAパイロットチャネル取得時間を短縮することが可能な、新規かつ改良されたCDMAモデム回路、CDMAワイヤレス電話方法、組合わせフィンガ／サーチ回路およびサーチ回路を提供することである。

【0028】さらにまた本発明の別の目的は、複雑なモデム設計を採用せずとも、CDMAパイロットチャネル取得時間を短縮することが可能な、新規かつ改良されたCDMAモデム回路、CDMAワイヤレス電話方法、組合わせフィンガ／サーチ回路およびサーチ回路を提供することである。

【0029】さらにまた本発明の別の目的は、複数のパイロットチャネル取得サーチ回路を備えた、新規かつ改良されたCDMAモデム回路、CDMAワイヤレス電話方法、組合わせフィンガ／サーチ回路およびサーチ回路を提供することである。

【0030】さらにまた本発明の別の目的は、複数の組合わせパイロットチャネル取得サーチ及びデータ取得フィンガを備えた、新規かつ改良されたCDMAモデム

回路、CDMAワイヤレス電話方法、組合わせフィンガ／サーチ回路およびサーチ回路を提供することである。

【0031】さらにまた本発明の別の目的は、一つの専用パイロットチャネルサーチ回路と少なくとも一つの組合わせパイロットチャネル取得サーチ及びデータ取得フィンガ回路を備えた、新規かつ改良されたCDMAモデム回路、CDMAワイヤレス電話方法、組合わせフィンガ／サーチ回路およびサーチ回路を提供することである。

【0032】さらにまた本発明の別の目的は、共用成分の多重化を利用する少なくとも一つの組合わせフィンガ／サーチ回路を備えた、新規かつ改良されたCDMAモデム回路、CDMAワイヤレス電話方法、組合わせフィンガ／サーチ回路およびサーチ回路を提供することである。

【0033】さらにまた本発明の別の目的は、複数の組合わせフィンガ／サーチ回路を使用して、複数のバスデータを受信するためにデータ取得フィンガとして組合わせフィンガ／サーチを動作させる前にパイロットチャネルを迅速に取得することが可能な、新規かつ改良されたCDMAモデム回路、CDMAワイヤレス電話方法、組合わせフィンガ／サーチ回路およびサーチ回路を提供することである。

#### 【0034】

【課題を解決するための手段】CDMAパイロットチャネル取得に要する時間を短縮するワイヤレスCDMA電話システムは、データ取得フィンガとして機能すると共に、パイロットチャネル取得サーチとしても機能する少なくとも一つの組合わせフィンガ／サーチ回路を含む移動局モデムを含んでいる。本発明の第1の好適な実施形態によれば、このモデムは一つの専用サーチ回路と、複数の独立したフィンガ／サーチ回路を含んでいる。各組合わせフィンガ／サーチ回路は、独立にパイロットチャネルを取得するためにサーチモードで動作することが可能であると共に、データ取得のためにフィンガモードで動作することも可能である。また、各組合わせフィンガ／サーチ回路は、PN期間（すなわち仮説タイミング空間）の異なる部分に割当てられ、独立にパイロットチャネルのサーチをすることができる。パイロットチャネルが発見され、移動局が基地局と同期すると、フィンガ／サーチ組合わせ回路はデータ取得フィンガ回路として機能を開始し、入力信号を受信して、それを復調する動作を継続する。

【0035】本発明の第1の好適な実施形態によれば、フィンガ／サーチ組合わせ回路の設計では、フィンガ及びサーチ動作に共通な構成要素の再利用及び共用化（多重化）を最大限に利用し、単一目的要素の導入を最小限にしている。従って、フィンガ／サーチ組合わせ回路は、PNシーケンスの同相成分（I）と直交位相成

分（Q）とを発生し、ローカルタイミング信号と受信したI信号及びQ信号とを乗算するPN乗算器に供給するローカルタイミング発生器を備えている。PN乗算器からの出力は、データ復調器と、コヒーレント累算器（PLL／コヒーレント累算器）と組み合わされた移相ロックループ（PLL）と、ノンコヒーレント累算器、初期ダンブしきい値比較器、最大検出器（DLL／ノンコヒーレント累算器と組み合わされた遅延ロックループ（DLL））に供給される。組合わせフィンガ／サーチ回路は、さらに多機能比較器と、高多重化比較器、多重化加算器、累算器レジスタ、振幅評価器としてのロジック要素及び機能から成るロジック回路と、初期ダンブ比較器と、ノンコヒーレント累算器と、ローカル最大値検出器と、3最大値サーチを備えている。

【0036】組合わせフィンガ／サーチ回路は、フィンガモードとサーチモードで動作可能である。PLL／コヒーレント累算器は、組合わせフィンガ／サーチ回路がフィンガモードで動作する間は、PLLとして動作し、組合わせフィンガ／サーチ回路がサーチモードで動作する間は、コヒーレント累算器として動作する。また、DLL／ノンコヒーレント累算器は、組合わせフィンガ／サーチ回路がフィンガモードで動作する間は、DLLとして動作し、組合わせフィンガ／サーチ回路がサーチモードで動作する間は、ノンコヒーレント累算器、初期ダンブしきい値比較器及び最大値検出器として動作する。

【0037】組合わせフィンガ／サーチ回路の設計では、単一目的の構成要素の組み入れを最小限に止めている点を特色としている。従って、かかる最小限化は、組合わせフィンガ／サーチ回路の計算機能に制限を置くことになる。すなわち、組合わせフィンガ／サーチ回路のサーチ部分の機能は、専用サーチ回路機能程高くない。

【0038】また、本発明のある実施形態によれば、各組合わせフィンガ／サーチ回路は、サーチ回路の強化された複雑な機能の全てを含み、従って、この実施形態では十分に機能強化された単一サーチ回路と、十分に機能強化された複数の組合わせフィンガ／サーチ回路を有している。従って、この実施形態では、組合わせフィンガ／サーチ回路のサーチ回路の強化された機能面に関して言えば、ハードウェアの複雑さと費用とのバランスが取れている。

【0039】さらに、本発明の別の実施形態では、データ取得フィンガ機能と、パイロットチャネル取得サーチ回路機能とを有する単一型の組合わせフィンガ／サーチ回路だけを含んでいる。すなわち、この実施形態では、独立した専用サーチ回路は設けない。この単一機能型回路は、モデム中で複数回にわたり反復動作することにより必要な機能を達成している。この実施形態では、単一機能回路設計であるため、設計及びその実施に

10

20

30

40

50

おける容易性及び整合性を特徴としている。

【0040】本発明のさらに別の実施形態では、DCMA式携帯ワイヤレス電話は、専用サーチ回路に加えて、三つの組み合わせフィンガ／サーチ回路を備えることにより、CDMAモデム回路におけるパイロットチャネルサーチ性能を大幅に向上させている。さらに、データ取得フィンガがパイロットチャネル取得期間の間に使用される頻度も高く、回路全体の使用効率が従来のCDMA式携帯ワイヤレス電話よりも遙かにアップする。そして、本発明のこの実施形態においては、フィンガ／サーチ回路が、初期パイロットチャネル取得期間の間にサーチモードで機能する。

【0041】さらにまた本発明の別の実施形態では、組み合わせフィンガ／サーチ回路は、パイロットチャネル取得後であってもサーチモードで動作して、他の基地局を発見し、継承の実行に必要な時間を短縮する。本発明の他の代替実施例は、専用サーチ備えた組み合わせフィンガ／サーチ回路、あるいは専用サーチを備えた組み合わせフィンガ／サーチ回路を備えたCDMA式携帯ワイヤレス電話を含んでいる。さらに本発明の別の実施形態において、たった一つの組み合わせフィンガ／サーチであっても、固定式ワイヤレス電話の適切な動作に必要な全てのフィンガ機能及びサーチ機能を実行することが可能な組み合わせフィンガ／サーチを備えた固定式ワイヤレス電話を含んでいる。

【0042】本発明のさらに別の実施形態によると、中央演算処理装置（CPU）は、複数のサーチ回路の制御のために、2段階のサーチ制御プロセスを実行する。第1段階においては、制御プロセスはPN期間を区分し、PN期間の部分を複数のサーチ回路に配分する。PN期間は、PNコードにより拡張される、すなわち反復が開始される前のPNシーケンス内のチップ数により拡張される全疑似乱数空間として定義される。なお、CDMAシステムにおけるチップ数は、典型的には2の15乗である。各サーチ回路は、その配分されたサーチ空間中において、すべての可能なタイミング仮説の評価を実行する。本発明のある好適な実施形態によると、PN期間は、移動局中のサーチ回路と同じ数の部分に区分される。各部分のサイズは、すべてのサーチ回路が初期サーチをほぼ同時に完了することができる動作速度により決定される。本発明のある好適な実施形態によると、専用サーチは、フィンガ／サーチ共有回路の2倍の速度を有しているため、各フィンガ／サーチ共有回路がPN期間の1/5に相当するPN期間区分を受け持つとすると、専用サーチにはPN期間の2/5に相当するPN期間区分が配分される。このように、すべてのサーチ回路は、サーチ制御プロセスの第1段階において最初から最後まで利用される。加えて、サーチ回路は、各PN期間区分内において最も近接するタイミング仮説のウィンドウに転回できるので、転回速

度も最小化される。

【0043】さらに、サーチ動作の第1段階では、有望な仮説を含むことが発見されたウィンドウの反復的なサーチ検証は行われぬ。その代わり、本発明の好適な実施形態によると、サーチ制御プロセスの第2段階において、CPUが第1段階の間に識別した有望な仮説の質を検証する動作が、専用サーチ回路に割り当てられる。かかる検証は、第1段階の結果、評価の高い順に実行され、これにより、最も有望な仮説が最初に評価される。本発明の他の実施形態によると、第1段階の間に発見されたベスト4の仮説が4つのサーチ回路により並列的に検証される。本発明の上記実施形態にかかる2段階サーチ方法においては、サーチ動作を比較的一定した時間内に行うことが可能であり、またそのサーチ動作も過度に複雑なものでもない。加えて、デュアルモードCDMA／アナログ移動局においては、CDMAシステムが利用できない時に、アナログシステムを取得するためのアナログモードへの切り換えの必要性を直ちに認識することができる。

【0044】本発明の別の実施形態によると、PN期間は、利用可能なサーチ回路の数よりも多く区分され、そして、検証動作は、初期サーチ動作から分離された異なる段階において実行されるのではない。すなわち、サーチ回路が、所定のしきい値を超える累積値を有する仮説を含むウィンドウを発見すると、サーチ回路は直ちにその仮説を含むウィンドウの検証分析を開始する。サーチ回路がPN期間区分内のすべてのサーチウィンドウの評価を完了すると、CPUはそのサーチ回路に別のPN期間区分を割当てる。あるサーチ回路は他のサーチ回路よりも早くそのサーチを完了するので、検証に必要なウィンドウの数次第によっては、より小さなPN期間区分によりサーチ資源配分を柔軟にかつ効率的に行える。さらに、この方法によると、良い仮説が最初にサーチされたPN期間区分の一つの最初のウィンドウに配置されていると、移動局が非常に早くパイロットチャネルを得ることができる機会があるという顕著な利点が得られる。

【0045】本発明のさらに別の実施形態によれば、第1段階のサーチ動作を3つの同等サイズのPN期間区分で実行するように、3つのフィンガ／サーチ共有回路に割り当てている。専用サーチ回路は、フィンガ／サーチ共有回路により有望な仮説が発見されると、すぐに転回して、別のウィンドウのサーチ結果を検証するローミング（散策）検証装置としてのみ使用される。かかる構成により、フィンガ／サーチ共有回路が所定のしきい値以上の累積を伴う仮説を含む最初のウィンドウを識別するとすぐに、専用サーチ回路はその発見を検証することができ、移動局に直ちにパイロットチャネルを取得させることができる。

【0046】



【発明の実施の形態】以下に添付図面を参照しながら本発明にかかるCDMAモデム回路の好適な実施形態について詳細に説明することにする。なお、以下の説明及び図面において、同一の機能構成を有する部材については同一の参照番号を付することにより重複説明を省略する。

【0047】図1は、本発明の第1の実施形態にかかる符号分割アクセス(CDMA)ワイヤレス電話10を示す機能ブロック図である。なお、図1に示す機能ブロック図は、デュアルモードセルラ及びPCS電話などを含む本発明の他の実施形態にかかる種々のワイヤレス電話にも適用することが可能である。

【0048】本発明の第1の好適な実施形態によれば、無線信号は、アンテナ12で受信され、次いで無線周波数(RF)送受信(RF TX/RX)回路14において、フィルタ処理、低周波へのミキシング処理、自動利得制御、I及びQ復調処理(合成受信信号をその同位相(I)成分及び直交位相(Q)成分に分離する処理)などの各種処理を行った後、アナログフロントエンド(AFE)18においてアナログ信号からデジタル信号に変換され、CDMAモデム回路(CMC)22に供給される。CMC22は中央処理装置(CPU)23の制御を受けながら、I及びQ信号を復調して、インタリーブ信号流れに変換し、このインタリーブ信号流れは、本発明の第1の好適な実施形態に従って、デジタル信号プロセッサ(DSP)26によって、逆インタリーブ処理、ビタビ復号化処理の後、符号/復号器(CODEC)30によって音声信号に復号され、この音声信号がインタフェース制御装置34によって制御可能に増幅されて、電話のスピーカ36を介して出力される。同様に、電話のマイクロホン38が通話者の音声を検出すると、その音声はワイヤレス電話10を介して上記と逆のパスをたどって発信される。キーパッド39及び表示装置40は、従来通り、通話者による入出力操作のために設けられている。

【0049】図2は、図1に示すCMC22の受信パスの構成要素を示す図である。他の構成要素のうち特に、CMC22は、サーチ回路50、組合わせフィンガ/サーチ回路52、組合わせフィンガ/サーチ回路54、組合わせフィンガ/サーチ回路56、及び自動利得制御装置(AGC)58を含み、これら全てはIAFEパス60及びQAFEパス62を介してデジタル信号を並列的に受信する。本発明の第1の好適な実施形態によれば、CMC22は前述のAFEインタフェース回路(図示せず)を含み、この回路はIAFEパス60及びQAFEパス62の信号がいかなるDCバイアスも含むことがないように、AFE18(図1)から受信するI及びQ信号からDCバイアス(オフセット)を除去する。

【0050】サーチ回路50は、他の機能のうち特に、パイロットチャネル取得を補助する役割を果たす。

3つの組合わせフィンガ/サーチ回路52、54、56は、多重バスソース及び他の基地局からのトラフィックチャネルデータを復調すると共に、本発明に従ってサーチチャモードによる動作中、パイロットチャネルの取得を補助する役を果たす。AGC58は、受信信号の受信状態を改善するために使用する利得の調整を行う。演算ユニット59は、サーチ回路50及び組合わせフィンガ/サーチ回路52、54、56に対して数学的サポートを提供する。また、CMC22は、ランダムアクセスメモリ(RAM)92及びレジスタ94を含むメモリ90を含み、これらのメモリ90を介してCMC22の各構成要素と他の各構成要素及びCPU23(図1)との通信バス(図示せず)が形成されている。CMC22の各構成要素は、メモリ90内にそれぞれ別々に指定されたメモリ空間を有している。さらに、状態マシン96は、構成要素の選択及びその使用を可能にする機能や、マルチプレクサを動作させる機能や、構成要素間のデータ移送を管理する機能などのCMC22の異なる構成要素の機能を指揮監督する。

【0051】なお本発明で使用する数字は、それが2進数である場合、その記憶は2の補数として行われる点に注意されたい。2の補数による記数法によって数を表す方法は、本発明が属する分野の当業者であれば良く理解するところであり、ここでの詳細説明は省略する。さらに、本明細書の以下の記載において参照する回路の詳細なブロック図は、2の補数表記法をサポートするために必要な論理回路を示していない点に注意されたい。その理由は、論理回路を示すことが不必要に複雑さを加えることになるからである。

【0052】コンバイナ80は、バス64、66を介して移動局に対しファイン同調時間のトラッキング情報を与えるため、フィンガデータを結合すると共に、フィンガとサーチの時間トラッキング情報を結合する。コンバイナ80から出力された結合フィンガデータは、DSP26(図1)に送られ、そこで逆インタリーブ処理、ビタビ復号化処理、及びデジタル音声復号化処理などの各処理を受ける。コンバイナ80の構成要素は、RF TX/RX14(図1)で使用される周波数エラー情報を発生して、受信信号の周波数を自動的にトラッキングする。コンバイナ80は、共通回路を共有する3つの異なるコンバイナから構成されている。第1のコンバイナは、組合わせフィンガ/サーチ回路52、54、56からの周波数エラーデータを結合する周波数エラーコンバイナであり、第2のコンバイナは、フィンガ/サーチ回路52、54、56からのデータシンボル(記号)を結合するシンボルコンバイナであり、第3のコンバイナは、基地局から伝送されるパワー制御ビットを結合して、移動局の伝送パワーを調整するパワー制御コンバイナである。

【0053】図3は、図2に示すサーチ回路50の機



能ブロック図である。図示のように、受信信号 I AFE 及び QAFE は、PN 乗算器 100 に入力されて、そこで IPN 及び QPN シーケンスと複合的に乗算される。これら IPN 及び QPN シーケンスは、ローカル発生 PN シーケンスと言われ、タイミング発生器 170 によってチップレートで発生するのが好ましい。タイミング発生器 170 は、CPU 23 (図 1) 及びコンパイナ 80 (図 2) から制御情報を受ける。CPU 23 は、特定のレジスタ場所 94 (図 2) を介して初期仮説タイミング情報を与え、コンパイナ 80 はファイン同調トラッキング調整を行う。IAFE 及び QAFE は、デスプレッディングの初期段階として、IPN 及び QPN シーケンスと複合的に乗算した後、I SEARCHER 及び Q SEARCHER が比較結果として出力され、コヒーレント累算器 110 に送られる。この累算器は、特定のレジスタ場所 94 (図 2) を介して CPU 23 が特定する期間 I SEARCHER 及び Q SEARCHER を累算することによってデスプレッディング過程を完了する。

【0054】コヒーレント累算処理の後、累算された I SEARCHER 及び Q SEARCHER の値 (以下、ICOH 及び QCOH として言及する。) は、演算ユニット 59 (図 2) に与えられ、そこで結合累算の振幅が計算される。この振幅計算の後、演算ユニット 59 (図 2) は、この振幅を多機能比較器/ロジック回路 120 に与える。さらに ICOH 及び QCOH も、この多機能比較器/ロジック回路 120 に与えられる。この多機能比較器/ロジック回路 120 では、次の動作が行われる。すなわち、振幅の推定、初期ダンプしきい値の比較、ノンコヒーレント累算、ローカル最大値検出、及び 3 つの最大値の分類が行われる。そして最後に、サーチ回路 50 によって得られた結果はメモリ 92 (図 2) に書き込まれる。

【0055】図 4 は、サーチパイロットチャネル取得過程 299 のフローチャートである。サーチパイロットチャネル取得過程 299 の初期状態はアイドル状態である (ステップ 300)。サーチパイロットチャネル取得過程 299 は、CPU 23 (図 1) がサーチ回路 50 (図 3) にサーチの実行を指令しない限り、アイドル状態にある。新たなサーチを開始するため、CPU 23 (図 1) は、新たなタイミング基準及びサーチウィンドウサイズをレジスタ 94 (図 2) の一つに書き込み、タイム基準に転回して (ステップ 310) 動作を開始するようサーチ回路 50 (図 3) を促し、レジスタ 94 (図 2) の一つに記憶されている新たなタイミング基準に従ってタイミング発生器 170 (図 3) に IPN 及び QPN を出力させる。サーチ回路 50 (図 3) が新たなタイミング基準に転回した後、PN 乗算器 100 は受信信号 I AFE 及び QAFE とローカルに発生した PN シーケンス IPN 及び QPN との複合的な乗算を開始する。なお、本明細書において、PN 乗算器 100 の詳細なブロック図を示す図 5 の説明に関して、用語“乗算”及び乗算シンボル (\*) を 2 進値に対して用いる場合には、これらは 2

進値に適用される排他的論理和演算を意味することに注意されたい。この 2 進値に適用される排他的論理和演算については、本発明の属する分野の当業者であれば良く理解するところであり、これについての詳細説明は省略する。

【0056】IAFE 及び QAFE シーケンスが PN 乗算器 100 に入力されると、これらシーケンスの値はそれぞれレジスタ 500、550 に保持される。これらレジスタは I AFE 及び QAFE の ON TIME 値及び LATE (1/2 チップ遅延) 値を多重化するための選択ラインを含んでいる。サーチ回路 50 (図 3) は 2 つの仮説を同時に評価する能力を有している。本発明の第 1 の好適な実施形態にかかるサーチ回路 50 (図 3) は、それ自身で十分高速に 2 つの仮説を同時に評価することができるため、別途ハードウェアを付加する必要はない。なお、ここでは、第 1 の仮説を ON TIME 仮説、第 2 の仮説を LATE 仮説と称することにする。ON TIME 仮説とは、ローカル発生 PN シーケンスと仮説的同期状態にある受信 PN シーケンスのクロックによって評価される仮説を言い、LATE 仮説とは、ON TIME 仮説のクロックに関して約 1/2 クロック期間遅れたローカル発生 PN シーケンスのクロックによって評価される仮説を言う。

【0057】IAFE データはレジスタ 500 にラッチされた後、2 つのロジック回路 510、520 に送られ、ローカル発生の IPN 及び QPN それぞれと乗算が行われる。同様に、QAFE データはレジスタ 550 にラッチされた後、2 つのロジック回路 560、570 に送られ、ローカル発生の IPN 及び QPN それぞれと乗算が行われる。ここで、QPN は QPN の補数を表すものとする。この乗算処理後、信号は加算器回路 530、580 によって結合される。これら乗算項の結合によって、ローカル発生の PN シーケンスと結合した新たな I 及び Q シーケンスが生まれる。この新たな I 及び Q シーケンス、すなわち I SEARCHER 及び Q SEARCHER はタイミング比較の結果を表し、以下の式によって定義される。

$$I \text{ SEARCHER} = IAFE * IPN + QAFE * QPN$$

$$Q \text{ SEARCHER} = IPN * QAFE + IAFE * QPN$$

【0058】加算器回路 530、580 で結合された後、新たな I SEARCHER 及び Q SEARCHER シーケンスはそれぞれレジスタ 540、590 に記憶される。そして、これらレジスタ 540、590 からの出力は、コヒーレント累算器 110 (図 6) の入力となる。

【0059】ここで図 4 に戻ると、サーチ回路 50 (図 3) は初期集積時間と定義される期間にわたり累算処理を開始する (ステップ 320)。この初期集積時間期間は、CPU 23 (図 1) によってメモリレジスタ 94 (図 2) の一つに特定され、第 1 のコヒーレント集積期間を定義する。すなわち I 成分及び Q 成分は別々に

累算される。コヒーレント累算器110の詳細なブロック図を示す図6において、I SEARCHER及びQ SEARCHERの値(ON\_TIME及びLATE値によって多重化された値)は、それぞれ対応する加算器620及び625に送られる。なおマルチプレクサ610、615は、それぞれI SEARCHER及びQ SEARCHERの値に累算される値を選択するものである。そして、このデータ値が累算される最初の値である場合には、マルチプレクサ610、615はKさんき620、625の第2入力としてゼロ入力を選択し、そのほかの場合は、マルチプレクサ610、615は、加算器620、625に加算される値に対応する値を選択する。加算処理後、加算器620、625の出力は、累算される値に応じて対応するレジスタ630、650、670、または690に置かれる。なお、以下の説明において、累算されるコヒーレント値をION\_TIME\_COH、ILATE\_COH、QON\_TIME\_COH、QLATE\_COHと称することにする。さらに、これらレジスタの出力をマルチプレクサ610、615の入力に接続するための帰還ループ(図示せず)が設けられている。

【0060】ここで再び図4を参照する。サーチ回路50(図3)は、初期集積時間の累算を監視し、コヒーレント累算器110(図6)が初期集積時間における累算処理を完了したか否かを判定する(ステップ330)。もし、完了していなければ、累算処理を継続する。もし、完了していれば、サーチ回路50は累算の振幅を推定する(ステップ340)。この振幅推定は多機能比較器/ロジック回路120(図3)において行われる。

【0061】図7は、多機能比較器/ロジック回路120の詳細なブロック図である。多機能比較器/ロジック回路120は、振幅推定器として機能するとき、ベクトルの振幅( $|ICOH + jQCOH|$ )を推定する。ここで、 $j$ は虚素単位、 $\sqrt{-1}$ を示す。この振幅推定には次の式を用いる。

$$\text{【0062】} \text{MAX}(|ICOH|, |QCOH|) + 1 / \text{MIN}(|ICOH|, |QCOH|)$$

ここで、 $\text{MAX}(a, b)$ は2つの値 $a$ 、 $b$ のうち大きいものを表し、 $\text{MIN}(a, b)$ は2つの値 $a$ 、 $b$ のうち小さいものを表す。また、 $ICOH$ 及び $QCOH$ は、それぞれI及びQのPNシーケンスのコヒーレント累算を示す。

【0063】マルチプレクサ790は、ライン792からION\_TIME\_COHの値を選択し、マルチプレクサ840は、ライン841からQON\_TIME\_COHの値を選択する。ここで、ION\_TIME\_COH及びQON\_TIME\_COHの値は、上式の変数 $ICOH$ 及び $QCOH$ のON\_TIME値に対応する。同様に、LATE仮説の分析では、ILATE\_COH及びQLATE\_COHの値が用いられる。

【0064】マルチプレクサ790、840が2つの値を選択すると、これらの値は絶対値回路800、850

に送られる。これらはそれぞれに対する入力の絶対値を計算する。次いで、比較器810は2つの絶対値を比較し、2つのうち何れが小さいかを判定し、その後、ディバイダ860、865に接続されているCTRLライン861、866は、2つのディバイダの一つを選択し、上記式に従って小さい方の値を分割する。例えば、ON\_TIMEの場合、もしION\_TIME\_COHの値がQON\_TIME\_COHの値より小さければ、CTRLライン866はディバイダ865によってION\_TIME\_COHの絶対値を2つに分割させる。絶対値回路800、850はION\_TIME\_COH及びQON\_TIME\_COHの値を加算器740の入力にフィードバックする。この場合、ION\_TIME\_COHの値は、まずディバイダ860を通して2つに分割され、次いでマルチプレクサ730を通してフィードバックされ、他方、QON\_TIME\_COHの値は、ディバイダ860を通り、修正されずにフィードバックされる。加算器740はこれら2つの値を結合し、振幅の推定を行う。次いで、推定された振幅は初期ダンプ振幅(E. D. AMP ON\_TIME)レジスタ750に記憶される。この過程は、LATE仮説コヒーレント累算についても反復され、推定された振幅はE. D. AMP LATEレジスタ760に記憶される。多機能比較器/ロジック回路120の他の全ての機能では、要素800、850、860及び865は単にデータを修正せずに通過させるだけである。

【0065】ここで、再び図4を参照する。初期集積時間における累算の振幅推定(ステップ340)の後、この振幅はメモリ94(図2)の一つに記憶されている初期ダンプしきい値と比較される(判定ステップ360)。ここで、再び図7を参照すると、マルチプレクサ790は2つの推定振幅の一つ、レジスタ750からのON\_TIME、またはレジスタ760からのLATEの何れかを選択し、マルチプレクサ840は、メモリレジスタ94(図2)の一つから初期ダンプしきい値を伝送する初期ダンプしきい値ライン843を選択する。絶対値回路800、850は2つの値を修正せずに比較器810へ送り、この比較器は2つの値を比較して、その結果をRAMメモリ92(図2)に書き込む。この比較処理は第2番目の2つの推定された振幅(ON\_TIMEまたはLATE)についても反復される。

【0066】再び図4を参照する。判定ステップ360において、もし2つの推定振幅の少なくとも一つが初期ダンプしきい値に等しいかまたはそれより大きい場合には、仮説の評価(累算)を継続する(ステップ350)。本実施の形態にかかるサーチ回路50(図3)の設計から見て、二つの仮説を連続的に評価しても、一つの仮説を評価する場合に比較して大きなコストを発生させるものではないことは明らかである。もし、2つの仮説の何れも初期ダンプしきい値に等しくなく、また大きくもない(すなわち、比較結果が否)の場合には、サーチ回路50(図3)は、図7のノンコヒーレント累

算器レジスタON\_TIME 770及びLATE 780の両者をゼロ値に戻す。これら2つのレジスタは以下に説明するように、サーチ回路50(図3)において、後続のローカル最大値決定を確実に行うために、現在の仮説評価中に使用されていない場合にもゼロ値に戻される。もし、2つの推定振幅の少なくとも一つが初期ダンプしきい値に等しいか、またはそれより大きい(すなわち、比較結果が是)の場合には、サーチ回路50(図3)は、集積時間期間コヒーレント累算を開始する(ステップ350)。この集積時間は、ステップ320で最初に開始されたコヒーレント累算の続きであるから、初期集積時間を含んでいる。そして、サーチ回路50

(図3)は、集積時間の累算が完了したかをチェックし続ける(判定ステップ355)。もし、集積時間の累算が未完(すなわち、比較結果が否)であれば、サーチ回路50(図3)は累算を継続する。もし、集積時間の累算が完了(すなわち、比較結果が是)であれば、コヒーレント累算の振幅を演算ユニット59(図2)によって計算する(ステップ395)。ここで、この振幅計算は、初期集積時間の累算に関する振幅について行われる振幅推定とは違うものであること注意されたい。本発明の第1の好適な実施形態によれば、演算ユニット59(図1)はCORDIC演算処理を行うものである。

【0067】演算ユニット59(図2)が振幅計算を完了した後、その結果はRAMメモリ92(図2)に振幅を書き込むことによって、サーチ50(図3)に返される。RAMメモリ92(図2)に書き込まれた振幅の計算結果を用いて、サーチ回路50はノンコヒーレント累算を開始する(ステップ400)。ノンコヒーレント累算は、演算ユニット59によって計算された振幅のコヒーレント累算器110(図3)による累算である。ノンコヒーレント累算の期間は、メモリレジスタ94

(図2)の一つによって特定される。図7において、多機能比較器/ロジック回路120におけるノンコヒーレント累算は、初期化位相及び累算位相の2つの位相で動作が行われる。この初期化位相動作では、マルチプレクサ730はその入力としてハードワイヤドゼロ(0)を選択し、それを加算器740に出力する。マルチプレクサ840はAMP FROM ARITHMETIC UNIT RAMライン844を選択し、この振幅値を絶対値回路850に送り、絶対値回路844はこの入力を修正せずにディバイダ860に送り、このディバイダ860はその振幅値を修正せずに加算器740に送る。加算器740は、振幅値にゼロを加え、その値を、それを評価している仮説に従って、ノンコヒーレント累算NON\_COH\_ACC\_ON\_TIMEレジスタ770またはノンコヒーレント累算NON\_COH\_ACC\_LATEレジスタ780の何れかに記憶する。

【0068】多機能比較器/ロジック回路120が累算位相で動作している間、マルチプレクサ790は、評価

している仮説に基づいて、その入力としてレジスタ770または780の何れかを選択する。この入力ノンコヒーレント累算の値は、絶対値回路800、ディバイダ865、及びマルチプレクサ730を修正なしに通過した後、加算器740に入力され、この加算器において、絶対値回路850及びディバイダ865を修正なしに通過してきたライン844からのAMP FROM ARITHMETIC UNIT RAMの値に加えられる。そして、加算器740による加算結果は、レジスタ770または780の何れかに記憶される。

【0069】再び図4を参照する。サーチ回路50(図3)は、メモリレジスタ94(図2)の一つに記憶されているノンコヒーレント集積時間の値に基づいて、ノンコヒーレント累算が完了したか否かを判定する(判定ステップ410)。もし、ノンコヒーレント累算が完了していなければ、全コヒーレント累算期間が終了するまで、コヒーレント累算を継続し、ノンコヒーレント累算に対し追加の演算ユニットによる計算を行い振幅を算出する。ノンコヒーレント累算が完了している場合は、サーチ回路50(図3)は、ローカル最大値があるかどうかを調べる(ステップ415)。ローカル最大値は、評価している振幅よりもその直前直後の振幅が小さいときに存在する。図7において、多機能比較器/ロジック回路120のローカル最大値検出器機能は、ノンコヒーレント累算によって発生されるON\_TIME及びLATE振幅と称する2つの振幅と、前仮説累算(前LATE)において発生されたLAST振幅と称する第2の2つの振幅及びライジングラストフラグ(RLF)

(図示せず。)と称する自動的に発生される特定フラグとを比較して、ローカル最大値を決定する機能を備えている。RLFは、TRUE(真)またはFALSE

(偽)の何れか一つの値を取る。もし、RLFが真であれば、LAST振幅(前ON\_TIME)直前の仮説評価の振幅の大きさは、LAST振幅より小さく、そうでなければRLFは真である。LAST振幅及びON\_TIME振幅のローカル最大値状態は、ローカル最大値の検出を行う毎に決定される。

【0070】最初の一連の動作において、多機能比較器/ロジック回路120はLAST振幅の状態を決めることができる。マルチプレクサ790は、その入力として、メモリ94(図2)の一つからLAST振幅を与えるLAST AMPライン791を選択する。マルチプレクサ840は、レジスタ770からON\_TIME振幅値を与えるNON\_COH\_ACC\_ON\_TIMEライン846を選択する。2つの値は、2つの絶対値回路800、850を修正なしに通過した後、比較器810で比較される。

【0071】図8には、ローカル最大値検出において、3つの振幅を評価する際に起こりうる幾つかの異なる可能性が示されている。図8において、符号901で示す

状態は、LAST振幅がON\_TIME振幅より大きく、かつRLFが真であるから、LAST振幅がローカル最大値であることを示している。この時、LATE振幅は、このLAST振幅の評価には無関係である。ON\_TIME振幅の状態を決定するとき、もしLAST振幅がON\_TIME振幅より大きければ、ON\_TIME振幅はローカル最大値ではない。上記の場合のほかには、符号902または符号903で示す場合がある。符号903の場合はON\_TIME振幅がローカル最大値である場合を示している。符号902の場合と符号903の場合を区別するために、マルチプレクサ790は、レジスタ770からON\_TIME振幅の値を与えるNON\_COH\_ACC\_ON\_TIMEライン775を選択し、マルチプレクサ840はレジスタ780からLATE振幅を与えるNON\_COH\_ACC\_LATEライン847を選択する。比較器810はこれら2つの値を比較して、メモリにその結果を記憶し、次のローカル最大値機能のためにRLFをセットする。

【0072】再び図4を参照すると、サーチ回路50（図3）は、ローカル最大値を検出するために調査を行った後、2つの振幅の中の一つ（LAST振幅またはON\_TIME振幅）がローカル最大値であると決定されたか否かを調べる（判定ステップ419）。2つの振幅の何れもがローカル最大値ではないと決定された場合には、サーチ回路50は、LAST振幅を更新する（ステップ418）。これに対して、2つの振幅の何れかがローカル最大値であると決定された場合には、サーチ回路50は検出されたローカル最大値が、現在のウィンドウに関してこれまでに見つけられた3つの最も大きい最大値の一つに該当するか否かを調査する（判定ステップ416）。

【0073】ローカル最大値の決定動作の後に、LAST振幅とON\_TIME振幅のローカル最大値の状態、すなわち、これらの値のうちの一つがローカル最大値であるか否かが判明する。LAST振幅またはON\_TIME振幅のいずれかがローカル最大値であると、その値が現在のサーチウィンドウに関してこれまでに発見された3つの最も大きい振幅（それぞれのタイミング位置（オフセット）と共に）のメモリ90（図2）に記憶されている優先待ち行列と比較される。図7において、マルチプレクサ790はその入力としてライン791

（LAST振幅がローカル最大値であった場合）またはライン775（ON\_TIME振幅がローカル最大値であった場合）の何れかを選択し、マルチプレクサ840はAMP\_FROM\_PRIORITY\_QUEUEライン845を選択する。

【0074】上記比較では、先ずAMP\_ROM\_PRIORITY\_QUEUEライン845からメモリ90（図2）の優先待ち行列中の最大振幅が入力される。絶対値回路800、850は、入力された2つの値を修正

せずに通過させる。比較器810はこの2つの値を比較し、その比較結果に応じて、異なる事象が発生する。すなわち、ローカル最大値が優先待ち行列中の振幅よりも大きい場合には、優先待ち行列は優先待ち行列中の2番目に大きい振幅をタイミングオフセットと共に優先待ち行列中の3番目に大きい振幅の位置に移し、この優先待ち行列中の3番目に大きい振幅とタイミングオフセットを廃棄するよう指示される。次いで、優先待ち行列中の最大振幅とタイミングオフセットは、優先待ち行列中の2番目に大きい振幅とタイミングオフセットの位置に移される。こうして、この新たなローカル最大値とタイミングオフセットは、優先待ち行列中の最も大きい振幅とタイミングオフセットの位置に書き込まれる（図4のステップ417）。

【0075】これに対して、ローカル最大値が優先待ち行列中の最も大きい振幅よりも大きくない場合には、マルチプレクサ840はAMP\_FROM\_PRIORITY\_QUEUEライン845を介して優先待ち行列中の2番目に大きい振幅を受け取り、この振幅が比較器810によってローカル最大値と比較される。もし、ローカル最大値がこの優先待ち行列中の2番目に大きい振幅より大きければ、優先待ち行列は、優先待ち行列中の現在の2番目に大きい振幅とタイミングオフセットとを優先待ち行列中の3番目に大きい振幅の位置に移し、ローカル最大値とタイミングオフセットを優先待ち行列中の2番目に大きい振幅とタイミングオフセットの位置に書き込むよう指示される（図4のステップ417）。

【0076】最後に、もしローカル最大値が優先待ち行列中の2番目に大きい振幅より大きくない場合には、マルチプレクサ840はAMP\_FROM\_PRIORITY\_QUEUEライン845を介して優先待ち行列中の3番目に大きい振幅を受け取り、この振幅が比較器810によってローカル最大値と比較される。もし、ローカル最大値がこの優先待ち行列中の3番目に大きい振幅より大きければ、ローカル最大値とタイミングオフセットが、この優先待ち行列中の3番目に大きい振幅とタイミングオフセットの位置に上書きされる（図4のステップ417）。そして、ローカル最大値がこの優先待ち行列中の3番目に大きい振幅より大きくなければ、このローカル最大値は、単純に廃棄される。

【0077】もちろん、本発明の他の実施形態では、待ち行列を分類する方法を含むことも可能である。図4において、ローカル最大値が見出された3つの最も大きい値の一つであるかどうかに関して、サーチ回路50

（図3）は、レジスタ94（図2）のLAST振幅を更新する（ステップ418）。もし、ウィンドウのサーチ全てが完了していれば（判定ステップ370）、サーチ回路（図3）は、CPU23（図1）に対して中断を指示してアイドル状態に戻る（ステップ300）。これに対して、ウィンドウサーチが未完であれば、サーチ

回路50(図3)は、タイミング仮説に関する現在のウィンドウサーチにおいて次のタイミングに転回して新しい対の仮説評価を開始し(ステップ390)、初期集積時間の累算を再度開始する(ステップ320)。

【0078】図4に示されるサーチパイロットチャネルのサーチプロセス299に関するフローチャートは、サーチ回路50(図3)がパイロットチャネルPNシーケンスを走査する際の動作を示している。移動局と基地局との同期後、サーチ回路50は、ホーム基地局以外の基地局からパイロットチャネルPNシーケンスを走査する。この他の基地局(代替基地局)は、移動局がホーム基地局の有効範囲を外れた場合に、コール接続の継承を行うために使用される。サーチ回路50は、代替基地局の走査を行う際に、実質的に同一のパイロットチャネルのサーチプロセス299を実行する。

【0079】図9は、組合わせフィンガ/サーチ回路52(図2)の高レベルブロック図である。組合わせフィンガ/サーチ回路54、56のブロック図も、組合わせフィンガ/サーチ回路52のものと実質的に同じである。入力信号IAFEとQAFEは、PNマルチプライヤ190に送られてIPNおよびQPNシーケンスと乗算される。なおIPNおよびQPNシーケンスはローカル発生されたPNシーケンスであり、タイミング発生器200によりワイヤレス電話にて作成されたものである。また、タイミング発生器200は、CPU23(図1)とコンバイナ80(図2)から制御情報を受けとるが、CPU23からは、初期仮説タイミング情報が所定のレジスタ位置94(図2)経由で供給され、コンバイナ80からは同調トラッキング調整情報が供給される。デスプレッディング処理の初期段階として、信号IAFEとQAFEがIPNおよびQPNで乗算された後、IFINGERおよびQFINGERが、PLL/コヒーレント累算器210、DLL/ノンコヒーレント累算器回路220、データ復調器230へ出力される。図示のように、DLL/ノンコヒーレント累算器回路220には、遅延ロックループ減算器222、DLLエラー累算器/ノンコヒーレント累算器224、多機能比較器225、先行/遅延部226が設けられている。DLL/ノンコヒーレント累算器回路220の多機能比較器225からのロック検出比較結果は、ロック検出論理部260に入力される。組合わせフィンガ/サーチ回路52のデータ復調器230では、入力信号ウォルシュコードが復調されて、デウォルシュ信号がシンボルデータに変換される。データ復調器230は、基地局からのワイヤレス電話へ送信される出力制御シンボルデータを作成する。

【0080】PLL/コヒーレント累算器210とDLL/ノンコヒーレント累算器回路220は、組合わせフィンガ/サーチ回路52の動作モードに従って動作する。データ復調モード(フィンガ動作モード)の場合には、PLL/コヒーレント累算器210が位相ロックロ

ープ(PLL)回路として動作する。PLL/コヒーレント累算器210は、入力信号IAFEとQAFEに対して、ローカル発生したPNシーケンスIPNとQPNにおける位相角エラーをトラッキングし、かつロック検出のための受信信号強度表示(RSSI)信号の作成を支援するために使用される。これに対して、サーチ動作モードの場合、PLL/コヒーレント累算器210は、所定期間にPNシーケンスIFINGERとQFINGERをそれぞれ累算するコヒーレント累算器として動作する。DLL/ノンコヒーレント累算器回路220は、データ復調(フィンガ動作)モードの場合には、組合わせフィンガ/サーチ回路52のトラッキング精度の遅延ロックループ(DLL)回路として動作する。またサーチ動作モードの場合は、DLL/ノンコヒーレント累算器回路220は、ノンコヒーレント累算器、初期ダンプしきい値比較器、最大検出器、ロック検出比較器として動作する。ノンコヒーレント累算器としては、DLL/ノンコヒーレント累算器220は、コヒーレント累算にて累算されたPNシーケンスの振幅値を累算する。多機能比較器225は、以下に説明するフィンガ動作ロック信号の作成を支援するとともに、初期ダンプしきい値の比較、最大振幅判断の算定を行うため使用される。

【0081】次に、まず組合わせフィンガ/サーチ回路52のフィンガ動作モードについて説明した後に、サーチ動作モードで動作する組合わせフィンガ/サーチ回路52の動作について説明する。組合わせフィンガ/サーチ回路52のフィンガ動作モード機能には、データ取得のための多回線信号などの受信データ信号を復調する動作が含まれる。組合わせフィンガ/サーチ回路52がフィンガ動作モードのときは、支援データ信号のロック保持、受信データ信号の4相移相シフトキー(QPSK)、データ信号のウォルシュコード除去、データ信号の復調を行う。フィンガ動作モードの組合わせフィンガ/サーチ回路52は、その4個の主要構成要素、すなわち、PLL/コヒーレント累算器210、DLL/ノンコヒーレント累算器回路220、データ復調器230、ロック検出論理回路260を使用する。

【0082】図10は、組合わせフィンガ/サーチ回路52のPN乗算器190の詳細ブロック図である。ただし、本明細書において、2値に適用される「乗算」および乗算記号(\*)は、排他的論理和を意味するものとする。当然ながら、2値の排他的論理和演算は、本発明が属する分野の当業者であれば容易に理解できるので、ここでは詳細説明を省略する。

【0083】IAFEとQAFEシーケンスがPN乗算器190に入力されると、IAFEとQAFEのON\_TIME, EARLY(1/2チップだけ先行)、LATE(1/2チップだけ遅延)を多重するための選択パスをもつレジスタ860と910にそれぞれの値が保持される。レジスタ860にラッチされた後、IAFEデータは2つの論



理部870と880へ送られて、それぞれローカル発生されたIPNとQPNと乗算される。同様に、レジスタ910にラッチされた後、QAFEデータは2つの論理部920と930へ送られて、それぞれローカル発生されたIPNとQ<sup>-</sup>PNと乗算される。なお、Q<sup>-</sup>PNは、QPNのバイナリ補数を意味する。かかる乗算処理の後、加算器890と940で信号は加算される。乗算値の加算処理の結果、ローカル発生されたPNシーケンスと合成された新規のIシーケンスとQシーケンスが得られる。新規のIシーケンスとQシーケンスは、IFINGERとQFINGERで言

$$IFINGER = IAFE * IPN + QAFE * Q^{\bar{P}}N$$

$$QFINGER = IPN * QAFE + IAFE * QPN$$

【0084】加算器890と940で加算された後、IFINGERとQFINGERシーケンスはそれぞれレジスタ900および950に保存される。そして、レジスタ900と950からの出力値は、それぞれ、PLL/コヒーレント累算器210(図11)、DLL/ノンコヒーレント累算器回路220(図13)、データ復調器230(図12)の入力信号となる。

【0085】ここで、ローカル発信とデスプレッドされたIFINGERとQFINGERとの間の適当な位相を維持するのに使用されるPLL/コヒーレント累算器210の詳細なブロック図を示す図11を参照する。PLL/コヒーレント累算器210への入力、PN乗算処理後のIFINGER及びQFINGERデータシーケンスである。IFINGER及びQFINGERデータは、加算器970、1000でそれぞれ加算され、レジスタ980、1010にそれぞれ記憶される。フィンガモードでは、累算処理は64チップ(1シンボル)について行われることに注意されたい。レジスタ980、1010はそれぞれ2つの信号IPLL、QPLLを発生し、この信号は演算ユニット59(図2)に送られる。同時に、演算ユニット59において、2つの信号は、まず、無限インパルス応答フィルタ(IIR)によりフィルタリングされて、IREF及びQREFを生成する。IIRフィルタの出力であるIREF及びQREFは、RAM92(図2)の記憶場所によって特定される角度 $\Theta$ PLLだけ回転される。角度 $\Theta$ PLLによる回転は周波数エラー情報を発する。この周波数エラーは、演算ユニット59の動作が一旦完了すると、RAM92(図2)に記憶される。この周波数エラーはコンバイナ80の周波数エラーコンバイナ(図示せず)に送られ、そこでデータ取得組合わせフィンガ/サーチャ回路52、54、56それぞれからの周波数エラーが結合され、平均値が求められて、タイミング発生器200の調整に用いられる(図9)。

【0086】図12には、受信信号からウォルシュコードを復調するデータ復調器230の詳細なブロック図が

示されている。各データチャネルは、工業標準TIA/EIA/IS-95-Aによって定められているように、基地局において異なるウォルシュコードによって変調される。受信データの伝送されるデータチャネルに応じて、そのデータを変調するため、異なるウォルシュコードが基地局において使用される。ウォルシュコード発生器1050は、使用されるウォルシュコードを特定する割り当てられたデータチャネルを使って、フィンガシンボルクロック及びフィンガチップクロックを入力として取り、受信信号に対する適当なウォルシュコードを発生する。IFINGER及びQFINGER情報のデータパスは同じであるから、以下においては、説明を簡単にするため、IFINGERデータが取るパスについてだけ説明する。IFINGERデータ及び発生されたウォルシュコードはロジック1055で乗算される。ロジック1055での乗算は符号付けした2の補数の乗算であって、前に述べた2進数の排他的論理和ではないことに注意されたい。ウォルシュコードシーケンスとの乗算後、IFINGERデータはそれ自身と累算される。累算期間は1シンボルである。累算の1シンボル期間毎にレジスタ1065は1データシンボルを発生し、次いでそれ自身をゼロにリセットして、次のデータシンボルの累算に備える。レジスタ1065は1チップ時間間隔を意味する“CHIPx8”クロックで計時され、加算器1060の出力を8回補足する。そして、レジスタの出力は加算器1060にフィードバックされる。データのシンボルが一旦完了すると、ISYMラインに送り出され、さらにISYMデータはRAM92(図2)を介して演算ユニット59(図2)に送られる。演算ユニット59(図2)において、ISYM及びQSYMデータが単一のデータシンボルに結合され、RAMメモリ92(図2)に書き戻される。演算ユニット59(図2)がデータシンボルをメモリ92(図2)に書き戻した後に、データシンボルはコンバイナ80(図2)に送り出される。ここで、基地局はパワー制御情報ビットをシンボルビットストリームに注入するから、データストリームがパワー制御シンボルを含む場合もある。データシンボルは、パワー制御シンボルがパワー制御コンバイナ部において処理されている間に、コンバイナ80(図2)のシンボルコンバイナ部において処理される。

【0087】図13には、多機能遅延ロックループ(DLL)回路220の詳細なブロック図が示されている。多機能DLL回路220は、特にタイミング発生器200(図9)によって発生されるローカル発生のPNシーケンスのタイミングを調整し、復調されるデータ信号の信号強度を最大にするために組合わせフィンガ/サーチャ回路52(図9)によって使用される。多機能DLL回路220は、DLL減算器222への入力として、受信IFINGER及びQFINGERシーケンスのEARLY及びLATE仮説を有し、これら受信シーケンスはレジスタIFINGER\_EARLY1100、IFINGER\_LATE1130、QFIN

10

20

30

40

50



GER\_EARLY 1 1 1 0, QFINGER\_LATE 1 1 4 0によって受信される。マルチプレクサ 1 1 4 5, 1 1 5 0は減算器 1 1 6 0に入力される I FINGER及びQFINGERの値を選択するのに使用される。I FINGERシーケンスの差を計算するとき、マルチプレクサ 1 1 4 5はレジスタ 1 1 0 0の出力を選択し、マルチプレクサ 1 1 5 0はレジスタ 1 1 3 0の出力を選択する。従って、減算器 1 1 6 0は I FINGER\_EARLY - I FINGER\_LATEと QFINGER\_EARLY - QFINGER\_LATEを交互に計算する。これらの差分は、一シンボル期間間（6 4チップ期間）にわたり、加算器 1 1 8 0, 1 2 0 0及びレジスタ 1 1 9 0, 1 2 1 0に累算される。そして、累算された信号を I DLL\_DIFFERENCE及びQ DLL\_DIFFERENCEとする。次いで、この累算した差、I DLL\_DIFFERENCE及びQ DLL\_DIFFERENCEは、各シンボル期間ごとに一回、D L L減算器 2 2 2から演算ユニット 5 9（図 2）に送られる。

【0 0 8 8】演算ユニット 5 9（図 2）において、三回のシンボル期間ごとに一回、D L Lエラーが発生される。演算ユニット 5 9（図 2）は、各シンボル期間ごとに、組合わせフィンガ／サーチャ回路 5 2, 5 4, 5 6（図 2）のためにD L Lエラーを発生し、この結果、一つのフィンガ／サーチャ回路 5 2（図 9）のためのD L Lエラーが三回のシンボル期間ごとに更新される。このD L Lエラーは、R A Mメモリ 9 2（図 2）で特定される角 $\Theta$ PLLだけ回転した後の I DLL\_DIFFERENCE及びQ DLL\_DIFFERENCEの実部として定義され、次式によって表される。

実数  $\{ (I DLL\_DIFFERENCE + j Q DLL\_DIFFERENCE) * \exp(-j \Theta PLL) \}$

ここで、 $\exp(-j \Theta PLL)$ は角 $\Theta$ PLLによる回転を示す。

【0 0 8 9】演算ユニット 5 9は、そのD L Lエラーをバス 1 2 2 0へD L Lエラー累算器／ノンコヒーレント累算器 2 2 4の入力部へ戻し、そこでD L Lエラー値は加算器 1 2 5 0で加算されてからレジスタ 1 2 6 0に保存される。レジスタ 1 2 6 0に格納される累算されたD L Lエラーの符号は、以下に説明する 2つの状態変数 S I G NとS I G N $\sim$ を作成するのに使われる。累算D L Lエラー値が正または0の場合は、S I G Nが真値でS I G N $\sim$ は偽値となり、その逆も同様である。D L Lエラー累算器／ノンコヒーレント累算器 2 2 4により、フィンガ動作データ取得中（フィンガ動作モード）でのトラッキングエラーが累算される。そして、A B S（絶対値）回路 1 2 7 0は、図 1 4において説明される多機能比較器 2 2 5において、D L Lしきい値と比較するための累算D L Lエラー値の絶対値が算定される。D L Lエラー累算器／ノンコヒーレント累算器 2 2 4によりA B S回路 1 2 7 0の出力信号として累算D L Lエラー値が連続的に出力されるが、その出力信号はシンボルクロック期間の所定時間だけ必要となる。シンボルクロック

状態がロードD L L状態にある場合だけ、D L Lエラー累算器 2 2 4の出力信号が、多機能比較器 2 2 5により選択される。シンボルクロックおよびその状態については、後ほど詳細に説明する。多機能比較器 2 2 5からの出力信号は、その多機能比較器 2 2 5の出力部をゲートとするANDブロック 1 2 9 0を備えた先行／遅延回路 2 2 6へ送られる。ANDブロック 1 2 9 0は、シンボルクロック状態が比較累算D L Lエラー状態のとき、先行／遅延部 2 2 6の他の部分を作用させるため、多機能比較器 2 2 5の出力信号を通過させるために使われる。

【0 0 9 0】2つのANDブロック 1 3 0 0と1 3 1 0は、組合わせフィンガ／サーチャ回路 5 2のタイミング発生器 2 0 0（図 3）を駆動する先行クロック信号（A D V）と遅延クロック信号（D L Y）を作成するのに使われる。本発明の好適な実施形態においては、それぞれのA D V信号とD L Y信号に応じて、ローカルチップクロックが1／8チップ時間だけ先行または遅延される。先行／遅延部 2 2 6の出力により、コンパイナ 8 0（図 2）のシンボルコンパイナ（図示せず。）も駆動され、組合わせフィンガ／サーチャ回路 5 2, 5 4, 5 6の各回路回路からの異なるシンボルの合成が制御される。なお、D L Lしきい値などの各種しきい値以外にも、多機能比較器 2 2 5には、R U N N I N G M A X値と演算ユニット出力値も入力されて、ロック検出論理部 2 6 0（図 9）に別の出力信号を出力している。

【0 0 9 1】図 1 4は、フィンガ動作モードで作動する組合わせフィンガ／サーチャ回路 5 2に作用する多機能比較器 2 2 5の機能の説明図である。フィンガ動作モード時には、組合わせフィンガ／サーチャ回路 5 2は二つの比較を実行する。すなわち第1の比較は累算されたD L Lエラーと予め設定された許容エラーレベル、すなわちD L Lしきい値との比較である。多機能比較器 2 2 5は、接続線 1 3 9 5から入力される累算D L Lエラー値と、R A Mメモリ 9 2（図 2）からのD L L T H R S H線 1 4 3 4から入力されるD L Lしきい値とを比較する。マルチプレクサ 1 4 0 0により比較器 1 4 1 0への入力としてD L L T H R S H線 1 4 3 4が選択されると、比較器 1 4 1 0からの出力信号は先行／遅延部 2 2 6（図 7）へ送られる。これに対して第2の比較は、受信信号の信号強度、すなわち信号ロックの品質の検証である。信号ロック状態を決める際には、R S S Iが接続線 1 3 9 0から入力されて、マルチプレクサ 1 4 0 0で選択され、比較器 1 4 1 0に入力される。本発明の好適な実施形態においては、マルチプレクサ 1 4 3 0はL O C K H I G H T H R S H線 1 4 3 3を入力線として選択し、その後L O C K L O W T H R S H線 1 4 3 2を選択する。比較器 1 4 1 0では、R S S Iが2つのしきい値と比較されて、その結果がロック検出論理部 2 6 0（図 9）へ送られる。ロック検出論理部 2 6 0（図 9）は、比較器の結果と現在の信号ロック状態をみて、

新規の信号ロック状態を作成する。

【0092】現在の信号ロック状態がNO LOCKで、かつRSSIがHIGH LOCK THRSHよりも大きい場合においては、信号ロック状態は、LOCKとなる。同様に、現在の信号ロック状態がLOCKでRSSIがHIGH LOCK THRSHよりも大きい場合においては、信号ロック状態は、変化しない。また、現在の信号ロック状態がNO LOCKでRSSIがLOW LOCK THRSHよりも小さい場合においても、信号ロック状態は変化せずNO LOCK状態のままとなる。最後に、現在の信号ロック状態がLOCKで、かつRSSIがLOW LOCK THRSHよりも小さい場合においては、信号ロック状態はNO LOCKとなる。それゆえ、2つのしきい値により、RSSI中のわずかなゆらぎ変動の影響を低減させるヒステシスが形成されるのである。本発明の好適な実施形態において、ロック検出論理部260(図9)には、前述の機能動作を行うための多数のフリップフロップが装備されている。そして最終的に、ロック検出論理部260(図9)の出力信号は、タイミ  
10     ングエラーを調整支援するCMC部のタイミ  
20     ングを制御できるコンパイナ80(図2)の周波数エラーコンパイ  
ナへ送られるのである。組合わせフィンガ/サーチャ回  
路52がロック解除状態であるとロック検出論理部26  
0が特定する場合は、コンパイナ80では組合わせフ  
ィンガ/サーチャ回路52のデータ復調器230からのシ  
ンボルデータが使用されない。

【0093】組合わせフィンガ/サーチャ回路52(図9)の第2の動作モードは、パイロットチャンネルをサー  
チするサーチャ動作モードである。図9は、本発明の  
好適な実施形態のサーチャ回路50のブロック図であ  
って、サーチャ回路50の主要部は、PNマルチプライヤ  
100、タイミング発生器170、コヒーレント累算器  
110、および、増幅判断器、初期ダンプしきい値比較  
器、ノンコヒーレント累算器、ローカル最大値検出器、  
3最大値ソータの役目をする多機能比較/論理部120  
から成る。再び図9を参照すると、組合わせフィンガ/  
サーチャ回路52は、PNマルチプライヤ190、タイ  
ミ  
30     ング発生器200、PLL/コヒーレント累算器21  
0、DLL/ノンコヒーレント累算回路220から成  
り、初期ダンプしきい値比較器と最大値検出器の機能  
をする。

【0094】図15は、フィンガ/サーチャ共用パイ  
ロットチャンネル取得処理部1499のフローチャート  
である。組合わせフィンガ/サーチャ回路52は、所定  
のタイミングオフセットの操作および所定サイズのサー  
チウィンドウの判断開始がレジスタ94(図2)の変化  
によりCPU23(図1)で確定されるまで、フィンガ/  
サーチャ共用パイロットチャンネル取得処理部1499  
に対して、アイドル状態(ステップ1600)に維持さ  
50

れる。組合わせフィンガ/サーチャ回路52(図9)が  
所定のタイミング基準値に移ると(ステップ160  
5)、PNマルチプライヤ190(図9)がそれぞれロー  
カル発生されたPNシーケンスIPNとQPNによる受信  
信号IAFEとQAFEの乗算を開始する。組合わせフィンガ  
/サーチャ回路52(図9)は、一度に1つの仮説を判  
断できる。本発明の好適な実施形態においては、組合  
わせフィンガ/サーチャ回路52によりON\_\_TIME仮  
説が判断されるので、データ復調のときには、EARLY  
データとLATEデータは使用されない。しかしなが  
ら、EARLYデータとLATEデータは、PNマルチ  
プライヤ190で作成されている。

【0095】PNマルチプライヤ190(図9)が出力  
を開始した後、組合わせフィンガ/サーチャ回路52

(図9)による初期集積時間値の累算が開始される(ス  
テップ1610)。サーチャ回路50(図3)には、初  
期集積時間累算を行える専用コヒーレント累算器110(図  
3)が設けられているため、組合わせフィンガ/サー  
チャ回路52には、専用コヒーレント累算器が設けられて  
いない。代わりに、PLL/コヒーレント累算器210  
20     (図9)でコヒーレント累算が行われる。図11のPL  
L部210の詳細ブロック図において、PLL/コヒー  
レント累算器210の入力信号は、PNマルチプライヤ  
190(図9)からのIFINGERとQFINGER出力信号であ  
る。I及びQのPNシーケンスは、加算器970と10  
00およびレジスタ980と1010で、それぞれ累算  
される。コヒーレント累算器110(図6)では、2つ  
の加算器970と1000によりIとQのPNシーケン  
スがそれぞれ加算される。組合わせフィンガ/サー  
チャ回路52(図9)では、一度に1つの仮説が判断され  
るため、IとQのPNシーケンスのEARLY値、ON\_\_  
TIME値、LATE値を別々にラッチするレジスタの  
必要がない。

【0096】図15では、組合わせフィンガ/サーチャ  
回路52(図9)により、コヒーレント累算の完了が連  
続的にモニタされ(ステップ1615)、完了まで継続  
動作される。モニタの完了の後、組合わせフィンガ/サ  
ーチャ回路52は演算ユニット59(図2)を使って累  
算の振幅値を算定し、その値はRAMメモリ92(図  
2)に書き込まれる。ここで、サーチャ回路50(図  
3)内では、初期集積時間の累算値が多機能比較/論理  
部120(図7)で判断されるが、演算は行われない。  
そして、組合わせフィンガ/サーチャ回路52(図9)  
により、累算値が初期ダンプしきい値と比較される(ス  
テップ1625)。サーチャ回路50(図3)では、そ  
の初期ダンプ比較が多機能比較/論理部120(図7)  
で行われる。組合わせフィンガ/サーチャ回路52(図  
9)における初期ダンプ比較は、多機能比較器225  
40     (図14)で行われる。図14に図示のように、初期ダ  
ンプしきい値比較のとき、マルチプレクサ1400は、

FROM ARITHMETIC UNIT 接続線 1390 を入力として選択し、演算ユニット 59 により算定され書き込まれた累算値のメモリ位置を読み取る。マルチプレクサ 1430 は E. D. THRESH 接続線 1435 を入力として選択し、所定の初期ダンプしきい値のメモリ値を取り込む。それらマルチプレクサ 1400、1430 の出力信号は、入力信号を比較処理してその結果を RAM メモリ 92 (図 2) に書き込む比較器 1410 に送られる。初期集積時間の累算値が初期ダンプしきい値より小さい場合には、組合わせフィンガ/サーチ回路 52 (図 9) はその累算値を排除し、サーチウィンドウが完全にサーチされたかを調べる (ステップ 1630)。サーチウィンドウが終了すれば、組合わせフィンガ/サーチ回路 52 は CPU 23 (図 1) を中断して、サーチ結果の入手可能性を示し、他の命令がないかぎり、サーチ動作モードのためのアイドル状態に戻る (ステップ 1600)。サーチウィンドウが完全でないときは、組合わせフィンガ/サーチ回路 52 (図 9) は次の仮説に移って (ステップ 1640)、別の初期集積時間の累算値を開始するためブロック 1610 へ移動する (ステップ 1610)。

【0097】初期集積時間の累算値が初期ダンプしきい値よりも大きい場合と同じである場合は、メモリレジスタ 94 (図 2) の 1 つに記憶されているコヒーレント累算期間だけコヒーレント累算が継続される (ステップ 1645、1650)。コヒーレント累算処理においては、初期集積時間の累算値と共に、PLL/コヒーレント累算器 210 (図 9) 内の累算器が利用される。コヒーレント累算期間が終了すると、組合わせフィンガ/サーチ回路 52 は演算ユニット 59 (図 9) を使って累算値を算定し (ステップ 1655)、その値は RAM メモリ 92 (図 2) に書き込まれる。

【0098】累算値が RAM メモリ 92 に書き込まれると、組合わせフィンガ/サーチ回路 52 はノンコヒーレント累算を開始して (ステップ 1660)、完了するまで継続処理する。ノンコヒーレント累算期間はメモリレジスタ 94 (図 2) のうちの一つの中で特定される。サーチ回路 50 (図 3) では、ノンコヒーレント累算が多機能比較/論理部 120 (図 7) により実行される。組合わせフィンガ/サーチ回路 52 (図 9) においては、DLL/ノンコヒーレント累算回路 220 (図 7) の DLL エラー/ノンコヒーレント累算器 224 (図 12) によりノンコヒーレント累算が行われる。図 12 に図示のように、DLL エラー/ノンコヒーレント累算器 224 は、接続ライン 1220 を介して RAM メモリ 92 (図 2) からコヒーレント累算の振幅を受信し、累算を修正せずに ABS 1270 に送る前に、加算器 1250 及びレジスタ 1260 において累算を実行する。

【0099】ノンコヒーレント累算が終了すると、ノン

コヒーレント累算値がその最大値と比較されて、サーチウィンドウで判断される (ステップ 1670)。図 14 において、実行最大比較を行うさい、マルチプレクサ 1400 は、FROM DLL ERROR ACCUMULATOR 接続線 1395 を入力として選択し、DLL エラー/ノンコヒーレント累算器 224 (図 12) からの値を読み取る。マルチプレクサ 1430 は RUNNING MAX 接続線 1436 を入力として選択し、RAM メモリ 92 (図 2) から最大ダイナミック振幅値を取り込む。ノンコヒーレント累算値がその最大値よりも大きいと判断された場合は、ノンコヒーレント累算値とそのタイミング基準値が RAM メモリ 92 (図 2) に書き込まれる (ステップ 1675)。ノンコヒーレント累算値がその最大値以下であると判断された場合は、組合わせフィンガ/サーチ回路 52 はそのノンコヒーレント累算値を排除する。そして、組合わせフィンガ/サーチ回路 52 は、前述のように、サーチウィンドウが完全にサーチされたかを調べる (ステップ 1630)。

【0100】図 16 は、サーチ動作モード中における、組合わせフィンガ/サーチ回路 52 (図 9) の機能部間の一時的関係を示すタイミング図である。ここでは、図示した信号のタイミング遅延は、信号間の一時的関係を示すため強調してあり、呼出時間の量や度合を正確に示したものではない。最初の信号 2210 は COHERENT ACCUMULATION と表示しており、コヒーレント累算動作を表している。PLL/コヒーレント累算器 210 (図 11) で行われるコヒーレント累算は、例えば、140 チップ期間だけ継続される。信号 2210 のパルスは、コヒーレント累算期間 (PLL/コヒーレント累算器 210 (図 11) からの出力) の終了とは別のコヒーレント累算期間の開始を意味している。ノンコヒーレント累算は、所定数のコヒーレント累算値からの結果値を累算するものである。NON-COHERENT ACCUMULATION と表示された第 3 の信号 2230 は、ノンコヒーレント累算動作を示している。ここでの例では、ノンコヒーレント累算期間中には 3 つのコヒーレント累算期間が存在するが、本発明の好適な実施形態による実際の操作の場合、ノンコヒーレント累算期間を 1~7 コヒーレント累算期間中継続するように構成することもできる。信号 2230 は、3 回のコヒーレント期間毎に 1 個のパルスを有しており、DLL エラー/ノンコヒーレント累算器 224 (図 13) からの出力を表している。初期ダンプ比較信号が入力されない限り、コヒーレント累算は終了しない。EARLY DUMP ACCUMULATION と表示された第 2 の信号 2220 は、PLL/コヒーレント累算器 210 からの初期ダンプ出力信号である。ノンコヒーレント累算が複数のコヒーレント累算期間にわたり継続するため、良好なタイミングオフセット仮説からのものではないデータを累算するのに要する時間を低減できる

よう初期ダンプ累算が使われるのである。一例として、処理ダンプ累算は56チップ期間継続される。

【0101】初期ダンプ累算が完了すると、累算値で処理継続するか累算値を排除するかを決定するため、多機能比較器225(図14)で初期ダンプ累算値は予め決められたしきい値と比較される。信号2220の1番目のパルスは、しきい値を越えた初期ダンプ累算の完了を意味する。同信号2220の2番目のパルスは、しきい値を越えない次の仮値での初期ダンプ累算終了を示し、それゆえ、全累算値が排除される。信号2220の3番目のパルスは、しきい値を越える次の仮説での初期ダンプ累算を意味する。演算ユニット59(図2)はコヒーレント値および初期ダンプ累算値を算定するのに使われるため、ARITHMETIC UNITで表示される信号2240は、コヒーレント累算と初期ダンプ累算の各パルス以降に有効となる。また、MULTI-FUNCTION COMPARISON IN EARLY DUMP COMPと表示された信号2250は、各初期ダンプしきい値比較の実行の後の多機能比較器225(図14)の出力信号である。MULTI-FUNCTION COMPARISON IN RUNNING MAX COMPと表示された信号2260は、ランニング最大比較の実行の後の多機能比較器225(図14)の出力信号を意味する。ノンコヒーレント累算の終了後に、多機能比較器225により、前述のように累算値は累積された累算最大値と比較される。

【0102】図17は、フィンガ動作モード中の、組合わせフィンガ/サーチャ回路52(図9)の機能部間の一時的関係を示すタイミング図である。SYMBOL CLOCKと表示された1番目のタイミング信号2110は、シンボルクロックを意味し、64チップクロック期間の単位を有する。シンボルクロックは、CMC部22(図1)の状態変数の状態やチップクロックからの状態遷移を受け取る状態マシンである。そのシンボルクロック状態マシン内には、サーチャ状態マシン、初期集積時間状態マシン、データ復調(フィンガ)状態マシンという、3つの異なるサブ状態マシンが設けられている。信号2110におけるパルスは、フィンガ状態マシンモードのときのシンボルクロック状態マシンの状態遷移を示している。

【0103】図18は、シンボルクロック状態マシンの状態フローチャートであって、信号2110の1番目のパルスは、状態S0からS10への遷移を、信号2110の2番目のパルスは、状態S10からS11への遷移を意味している。アイドル状態S0では、3つのサブ状態マシンが通常のアイドル状態になっている。アイドル状態S0からの遷移は、組合わせフィンガ/サーチャ回路52(図9)内の状態変数の状態によって決まる。組合わせフィンガ/サーチャ回路52(図9)がサーチャ動作モードで、サーチャによるコヒーレント累算期間が

終了した場合には、シンボルクロックは状態S1への遷移を促す。組合わせフィンガ/サーチャ回路52(図9)がサーチャ動作モードで、初期累算処理中の場合は、シンボルクロックは状態S6への遷移を行う。なお、サブ状態マシン集積時間や初期集積時間については、以下で詳しく説明する。

【0104】組合わせフィンガ/サーチャ回路52がデータ復調モードのときは、シンボルクロック状態マシンによるデータ復調サブ状態での動作が行われ、状態S0からS10へ遷移される。データ復調サブ状態マシンが状態S10の場合、組合わせフィンガ/サーチャ回路52は、IPLL, QPLL, ISYMを含む演算ユニット59

(図2)のパラメータの第1組をRAMメモリ92(図2)へ書き込む。RAMメモリ92への第1組のパラメータの書き込み終了後、データ復調サブ状態マシンは状態S11へ移動し、組合わせフィンガ/サーチャ回路52によるIDLL, QDLL, QSYMを含む第2組のパラメータのRAMメモリ92への書き込みが行われる。RAMメモリ92へのパラメータの書き込み終了後、データ復調サブ状態マシンは状態S12へ遷移し、そこで、組合わせフィンガ/サーチャ回路52は演算ユニット59のサービス動作を要求する。要求のための動作として、演算ユニット59と組合わせフィンガ/サーチャ回路52間のインタフェース(図示せず。)内のFINGER REQUEST接続線(図示せず。)を駆動する。その演算ユニット59への要求が終わると、組合わせフィンガ/サーチャ回路52は、演算ユニット59が要求を受け入れたことを通知するまで、状態S12で待機する。そして、演算ユニット59と組合わせフィンガ/サーチャ回路52間のインタフェース(図示せず。)内のARITHMETIC SERVICES FINGER接続線(図示せず。)を駆動することにより要求が受け入れられたことを、演算ユニット59は、組合わせフィンガ/サーチャ回路52に通知する。ARITHMETIC SERVICES FINGER接続線の駆動を検出した後、データ復調サブ状態マシンは、状態S13へ遷移して、組合わせフィンガ/サーチャ回路52に前記要求の停止を行わせて、RAMメモリ92へ演算結果を書き込む間、待機させる。演算ユニット59は、演算を完了すると、RAMメモリ92へ演算結果を書き込んで、演算ユニット59と組合わせフィンガ/サーチャ回路52間のインタフェース(図示せず。)内のARITHMETIC WRITES FINGER接続線(図示せず。)を駆動させる。

【0105】演算ユニット59の演算動作が終了すると、データ復調サブ状態マシンは状態S14へ移動して、組合わせフィンガ/サーチャ回路52に、RAMメモリ92からRSSIを読み取らせて、多機能比較器225(図14)のマルチプレクサ1400(図14)のすぐ前のレジスタ(図示せず。)にRSSIを保存させ

る。そこで、第2マルチプレクサ1430(図14)は、LOCK LOW THRSH接続線1432を選定する。RSSIを保存した後、データ復調サブ状態マシンは状態S15へ移り、多機能比較器225によるRSSIとLOCK LOW THRSH値との比較を行わせ、その比較結果をロック検出論理部260(図9)へ送り、組合わせフィンガ/サーチ回路52が、DLLエラー累算器224(図13)からのDLLエラー累算値を、マルチプレクサ1400(図14)のすぐ前のレジスタ(図示せず。)に保存して、そこでDLLエラー累算値は保持される。多機能比較器225が1番目のRSSI比較を完了した後、データ復調サブ状態マシンは状態S16へ移動して、続いて、多機能比較器225にRSSIとLOCK HIGH THRSH接続線1433(図14)との比較を行わせ、その比較結果をロック検出論理部260へ送る。ロック検出論理部260では、組合わせフィンガ/サーチ回路52の信号ロック状態と判断される。多機能比較器225による比較動作が完了した後、データ復調サブ状態マシンは状態S17へと遷移し、多機能比較器225によるDLLエラー累算値とDLL THRSH接続線1434(図14)の比較を行う。その比較結果は先行/遅延部226(図13)へ送られて、組合わせフィンガ/サーチ回路52のタイミング調整が必要かどうか論理判断される。そして比較動作の完了後、データ復調サブ状態マシンは状態S0へ戻る。

【0106】図17において、PLL TO ARITHと表示された2番目のタイミング信号2115は、PLL/コヒーレント累算器210(図11)から演算ユニット59(図2)の累算値出力を示している。PLL/コヒーレント累算器210(図11)における累算は、チップクロック期間毎に行われ、累算データはシンボルクロック期間毎に演算ユニット59(図2)へ書き込まれる。信号2115のパルスは、シンボルクロックが状態S10(図18)になると立ち上がる。PLL/コヒーレント累算器210(図11)で累算されたデータは、前述のように演算ユニット59(図2)で使われ、周波数エラーデータとRSSIが作成される。FREQUENCY ERRORおよびRSSIと表示された3番目と4番目の信号2120と2125は、それぞれ、演算ユニット59(図2)からの周波数エラーデータ出力およびRSSIデータを示している。図示のように、シンボルクロック期間3回毎に、組合わせフィンガ/サーチ回路52のための周波数エラーデータとRSSIデータとが演算ユニット59(図2)で算出される。ここで、信号2120と2125のパルスは、状態S12(REQUEST SERVICE FROM ARITH)と状態S13(REMOVE REQUEST, WAIT RESULTS)(図18)を示すシンボルクロックのパルス間で立ち上がることに注意してほ

しい。3回のシンボルクロック期間中に、演算ユニット59(図2)は、3つの組合わせフィンガ/サーチ回路52, 54, 56(図2)の各回路用に周波数エラー値とRSSI値を算定する。演算ユニット59(図2)によるRSSI算定が終了すると、多機能比較器225(図13)は、前述のような、RSSIと2つのしきい値との2回の比較を行う。LOCK HIGH/LOCK LOW COMPARISONと表示された5番目の信号2130は、多機能比較器225(図13)の動作、つまり、2回の比較動作を意味する。そして、信号2130のパルスは、状態S15とS16に同期する。【0107】PLL/コヒーレント累算器210(図11)と同時に作動するのは、DLL/ノンコヒーレント累算回路220(図13)である。DLL/ノンコヒーレント累算回路220(図13)により、チップクロック期間毎に遅延ロックループ差が累算されて、シンボルクロック期間毎にDLL差の累算値が演算ユニット59(図2)へ送られる。DLL TO ARITHと表示された6番目の信号2135は、シンボルクロックが状態S11のときに立ち上がる。シンボルクロック期間3回毎に、演算ユニット59(図2)はDLL差累算値を処理して、DLL ERRORと表示された7番目の信号2140であるDLLエラーデータを作成する。信号2140のパルスは、シンボルクロック毎にRAMメモリ92(図2)に書き込まれたDLL差累算値から演算ユニット59がDLLエラー値を算定するさいに立ち上がる。ここでも、信号2140のパルスは、状態S12(REQUEST SERVICE FROM ARITH)と状態S13(REMOVE REQUEST, WAIT RESULTS)を示すシンボルクロックのパルス間で立ち上がる。周波数エラーとRSSIに対する演算ユニット92(図2)の動作が3回のシンボルクロック期間中に行われるので、演算ユニット59(図2)は3つの組合わせフィンガ/サーチ回路52, 54, 56(図2)の各回路用のDLLエラー値を演算できる。演算ユニット59(図2)がDLLエラー値を出力した後、DLLエラー/ノンコヒーレント累算器224(図13)はデータ累算を行い、絶対値機能を提供する。DLLエラー/ノンコヒーレント累算器224は、チップクロック期間毎にDLLエラー値を累算する。DLL ERROR ACCと表示された8番目の信号2145は、DLLエラー/ノンコヒーレント累算器224(図13)によるDLLエラー累算値の出力を示す。DLLエラー/ノンコヒーレント累算器224の出力は継続的になされるが、シンボルクロック状態マシンが状態S17のとき以外は、多機能比較器225(図14)で無視される。DLLエラー累算値比較の出力は、DLL ERROR ACC COMPARISONという9番目の信号2150で示されており、多機能比較器225(図14)がDLLエラー累算値の比較結果を出力する



ときに立ち上がる。

【0108】図18において、コヒーレント累算期間の完了後に、サーチサブ状態マシンは組合わせフィンガ／サーチ回路52（図9）の制御を行う。コヒーレント累算が完了すると、サーチサブ状態マシンは状態S1へ移り、累算値ICOHとQCOHをRAMメモリ92（図2）に書き込む。そのRAMメモリ92へのパラメータ書き込みが終了すると、サーチサブ状態マシンは状態S2へ移動して、組合わせフィンガ／サーチ回路52（図3）に、演算ユニット59（図2）と組合わせフィンガ／サーチ回路52（図3）間のインタフェース（図示せず。）内のREQUEST SERVICE接続線（図示せず。）を駆動させる。REQUEST SERVICE接続線の駆動確認の後、演算ユニット59（図2）はARITHMETIC SERVICES接続線（図示せず。）を駆動する。演算ユニット59（図2）によりARITHMETIC SERVICES接続線が駆動されると、サーチサブ状態マシンは状態S3へ移り、組合わせフィンガ／サーチ回路52（図3）に動作要求の停止を促し、演算ユニット59（図2）が演算を完了させるまで待機させる。演算ユニット59（図2）による演算が完了すると、演算ユニット59（図2）はARITHMETIC WRITES接続線（図示せず。）を駆動して、演算動作が完了してその結果がRAMメモリ92に書き込まれたことを組合わせフィンガ／サーチ回路52（図9）に報告する。演算ユニット59（図9）の演算が完了した後、サーチサブ状態マシンは状態S4へ移動して、組合わせフィンガ／サーチ回路52（図9）に、RAMメモリ92から記憶された増幅値を読み出して、ノンコヒーレント累算を行うよう指示する。ノンコヒーレント累算期間が完了しない場合、サーチサブ状態マシンは状態S0へ戻る。組合わせフィンガ／サーチ回路52（図9）によるノンコヒーレント累算が完了した後、サーチサブ状態マシンは状態S5へ移って、多機能比較器225（図14）を使って最大値の比較を実行するよう組合わせフィンガ／サーチ回路52（図9）に指示する。組合わせフィンガ／サーチ回路52（図9）による最大値の比較が完了すると、状態マシンはアイドル状態S0へ戻る。

【0109】サーチ動作モードの場合は、初期集積時間サブ状態マシンにより組合わせフィンガ／サーチ回路52（図9）が制御され、初期集積時間累算が行われる。組合わせフィンガ／サーチ回路52（図9）の初期集積時間期間が終了すると、初期集積時間サブ状態マシンが状態S6へ移動して、累算値をRAMメモリ92（図2）へ書き込む。そのRAMメモリ92へのパラメータ書き込みが終了すると、初期集積時間サブ状態マシンは状態S7へ移り、組合わせフィンガ／サーチ回路52（図9）に、演算ユニット59（図2）と組合わせ

フィンガ／サーチ回路52（図9）間のインタフェース（図示せず。）内のREQUEST SERVICE接続線（図示せず。）を駆動させる。動作要求がなされた後、演算ユニット59（図2）はARITHMETIC SERVICES接続線（図示せず。）を駆動する。

演算ユニット59（図2）によりARITHMETIC SERVICES接続線が駆動されると、状態マシンは状態S8へ移り、組合わせフィンガ／サーチ回路52（図9）に動作要求の停止を促し、演算ユニット59（図2）の演算が完了するまで待機させる。演算ユニット59（図2）による演算が完了すると、組合わせフィンガ／サーチ回路52（図9）はRAMメモリ92に格納された増幅値を読み出して、初期集積時間サブ状態マシンは状態S9へ移動する。状態S9では、組合わせフィンガ／サーチ回路52（図9）が多機能比較器225（図14）を使って初期ダンプ比較を行う。組合わせフィンガ／サーチ回路52（図9）の初期ダンプしきい値比較が完了した後、初期集積時間サブ状態マシンは状態S0へ戻る。

【0110】図19は、フィンガ動作モードにおける組合わせフィンガ／サーチ回路52（図9）の選択ステップ動作のフローチャートである。フィンガ動作モードにおいては、組合わせフィンガ／サーチ回路52（図9）の機能部分の多くがそれぞれ独立して、CHIPx8クロックとシンボルクロック状態に基づいた動作を実行する。2301からのフローチャートには、フィンガ動作モードにおける、PNマルチプライヤ190（図10）の動作の選択ステップが図示されている。CHIPx8クロックが、EARLY（E）、ON\_TIME（OT）、LATE（L）の3つの状態のうちのいずれかの状態のとき、PNマルチプライヤ190（図10）はIデータとQデータをラッチして（ステップ2320）、そのラッチされたデータをPNシーケンスIPNとQPNで乗算して、IFINGERとQFINGERを作成する（ステップ2330）。乗算が終了すると、PN発生器190はIFINGERとQFINGERをPLL／コヒーレント累算器210（図11）（接続A）、DLL／ノンコヒーレント累算回路220（図13）（接続B）、データ復調器230（図12）（接続C）に転送してから、ループバックする（ステップ2310）。

【0111】図20は、本発明の好適な実施形態における、図19のフローチャートの（接続A経由の）継続フローチャート（2401）である。CHIPx8クロック状態がON\_TIMEになると、PLL／コヒーレント累算器210（図11）によりIFINGERとQFINGERが累算される（ステップ2410）。シンボルクロックが状態S10（図18）になるまで、つまり、パラメータの1番目の組を書き込む状態になるまでは（ステップ2415）、CHIPx8クロック状態がON\_TIMEになる毎に累算が継続される。シンボルクロックが状



態S10になると、累算値は演算ユニット59(図2)へ送られて、つまり、演算ユニット59で利用するためのデータがRAMメモリ92(図2)に書き込まれる(ステップ2420)。そのRAMメモリ92へのパラメータの書き込みが終了すると、シンボルクロック状態が再び点検される。シンボルクロックが状態S14になると、保存RSSI状態、および、演算ユニット59

(図2)での演算の完了後のRAMメモリ92から読み取られるRSSIが、ステップ2430で信号ロックロウしきい値に対して、ステップ2445では信号ロックハイしきい値に対して再度点検される。そして、シンボルクロック状態がS15になると(ステップ2427)、多機能比較器225を使ってRSSIとロックロウしきい値との比較が行われる。RSSIがロックロウしきい値より小さいか同じで、装置状態変数LOCKの現状値が真である場合は、装置変数の次の値LOCK〜が真になる。RSSIがロックロウしきい値より小さいか同じでない場合には、ステップ2401はステップ2442へ移って、装置のクロック状態がS16になるまで待機する。装置クロック状態がS16になると、ステップ2401はステップ2445でロックハイしきい値に対してRSSIを点検する。RSSIがロックハイしきい値より大きくて、装置状態変数LOCK〜が真である場合は、装置変数の次の値LOCK〜が真になる。この2回の比較動作の後、ステップ2401はステップ2405へ戻って、CHIPx8クロック状態がON\_TIMEのときにデータIFINGERとQFINGERを累算する。

【0112】図21は、本発明の好適な実施形態における、図19のフローチャートの(接続B経由の)継続フローチャート(2501)である。CHIPx8クロック状態がEARLYまたはLATEのいずれかになると、DLL減算器222(図13)によりIDIFFとQDIFFが算定され累算される(ステップ2510)。シンボルクロックが状態S11になるまで、つまり、パラメータの2番目の組を書き込む状態になるまでは(ステップ2520)、CHIPx8クロック状態がEARLYまたはLATEになる毎に減算および累算が継続される。シンボルクロックが状態S11になると、累算値は演算ユニット59(図2)用にRAMメモリ92(図2)に書き込まれる(ステップ2525)。シンボルクロック状態がS11でない場合は、減算と累算が継続される(ステップ2505)。これに対して、シンボルクロック状態がS17になると、DLLエラー/ノンコヒーレント累算器224(図13)でのDLLエラー累算が開始され(ステップ2535)、その累算結果値の絶対値が多機能比較器225(図13)においてDLLエラーしきい値と比較される(ステップ2540)。DLLエラー累算絶対値がDLLエラーしきい値を越えない場合は、減算と累算が継続される(ステップ2505)。DLLエラー累算絶対値がDLLエラーしきい値

を越えると、先行/遅延部226(図13)はステップ2545でDLLエラー累算値の符号を判断する。装置の状態変数SIGNとSIGN〜は、レジスタ1260(図13)に記憶されているDLLエラー累算値の符号から決定される。DLLエラー累算値が負の場合(SIGNが偽でSIGN〜が真)、ステップ2501はステップ2550でADV接続線を駆動し、ステップ2555でDLV接続線を駆動する。ADVとDLV接続線はタイミング発生器200(図9)に接続されており、ローカル発生されたPNシーケンスIPNとQPNのタイミングに影響を与える。その結果、減算と累算が繰り返される(ステップ2505)。

【0113】図22は、本発明の好適な実施形態における、図19のフローチャートの(接続C経由の)継続フローチャート(2601)である。CHIPx8クロック状態がEARLYまたはLATEのいずれかになると、データ復調器230(図12)により、復調されたコードチャンネル(N)に従って、コードチャンネル特定ウォルシュ符号でPNマルチプライヤ190(図10)からのデータの論理和(X-OR)が算定され(ステップ2620)、その結果値が累算される(ステップ2630)。シンボルクロックが状態S10とS11になるまで、ステップ2601はX-OR演算と累算動作を継続する(ステップ2610)。シンボルクロック状態が状態S10になると、累算値ISYMは、演算ユニット59(図2)における処理のためRAMメモリ92(図2)に書き込まれる(ステップ2642)。シンボルクロック状態がS11になると、累算値QSYMが後続処理のためRAMメモリ92に書き込まれる(ステップ2650)。そのRAMメモリ92へのパラメータ書き込みが完了すると、X-OR演算と累算動作が繰り返される(ステップ2610)。

【0114】以上、本発明の好適な実施形態においては、専用のサーチ回路50に加えて、3つの組み合わせフィンガ/サーチ回路52、54、56が装備されているため、CDMA移動式ワイヤレス電話10のCDMAモデム回路におけるパイロットチャンネルサーチ能力が非常に高くなっている。さらに、従来のデータ取得フィンガは、パイロットチャンネル取得期間中に最小限利用されるため、そのような従来のCDMA移動式無線回路に比べて、回路全体利用率が増加している。本発明の好適な実施形態の一例では、初期のパイロットチャンネル取得期間中において、組み合わせフィンガ/サーチ回路がサーチ動作モードで機能する。そのたの例では、他の基地局の電波強度を検出するために要する時間を低減させ、かつ、ハンドオフ動作を実行するため、パイロットチャンネル取得後に、組み合わせフィンガ/サーチ回路はサーチ動作モードで機能できる。

【0115】次に、図23に示すフローチャートを参照しながら、本発明の好適な実施形態にかかるCPU23

(図1)における、個々のサーチ回路50、52、54、56を制御するためのCPU制御プロセスについて説明する。CPU23は、図24にPN期間ブロック699で示されているように、効率的な区分(ステップ505)及びPN期間の区分へのサーチ回路要素の割り当て(ステップ510)により動作を開始する。図24を参照すると、本発明の好適な実施形態によれば、5つの同じサイズのブロック(区分)800、805、810、815及び820が示されている。ブロック800及び805は組み合わせられてサーチ回路50(図2)に配分され、一方ブロック810、815及び820はそれぞれフィンガ/サーチ共有回路52、54及び56(図2)に配分される。本発明の好適な実施形態によると、サーチ回路50は、各フィンガ/サーチ共有回路52、54及び56の2倍の早さでタイミングオフセット仮説を評価し、それゆえサーチ回路50(図2)にはフィンガ/サーチ共有回路52、54及び56に割り当てられたサーチ空間の2倍の寸法のサーチ空間が割り当てられている。本発明の好適な実施形態によると、全PN期間ブロック699は区分されてサーチ回路50、52、54及び56に同時に配分される。従って、PN期間区分810、815、820の配分のためには、一つのステップ(図5のステップ505)しか必要ない。サーチ回路が配分されたサーチブロックのサーチを完了すると、残りのサーチ回路がそれらの配分されたサーチブロックを完了するまでアイドル状態となる。

【0116】図23に戻ると、CPU23(図1)は、効率的には個々の区分800、805、810、815及び820をより小さい回路に分ける。これをサーチウィンドウと呼ぶ。そしてサーチ回路50、52、54及び56(図2)にそれぞれの区分内の最初のウィンドウのサーチをそれぞれ開始するよう指示する(ステップ515)。CPU23(図1)サーチ回路50、52、54及び56の各サーチ回路に、それぞれ個々のサーチ回路すなわちサーチ回路50、52、54及び56に連結する特定のレジスタ位置94(図2)に書き込むことにより、各サーチウィンドウの大きさ及び各サーチウィンドウの初期サーチ区分を特定することによって、どこをサーチするかを伝える。それぞれのサーチは、CPU23(図1)がサーチ回路50、52、54及び56(図2)に連結するレジスタ94(図2)へのサーチ割り当て(サーチパラメータ)の書き込みを完了した時に開始する。サーチ回路50、52、54及び56(図2)がサーチを実行すると、CPU23(図1)は、一つのサーチ回路50、52、54及び56(図2)がCPU23(図1)に割り当てられたサーチウィンドウのサーチの完了と、サーチの結果を、特定のレジスタ位置94(図2)に書き込んだことを通知して割り込み要求まで待機する(判断520)。サーチを

実行するサーチ回路のタイプは、メモリ92(図2)に書き戻されるサーチの結果の数に影響される。サーチ回路が専用サーチ回路50(図3)である場合、3つの最良タイミングオフセット仮説がメモリ92(図2)に書き込まれる。サーチ回路が組み合わせフィンガ/サーチ回路52(図2)である場合には、本発明の好適な実施形態によると、1つの最良タイミングオフセット仮説がメモリ92(図2)に書き戻される。

【0117】ここで、サーチ回路50、52、54及び56(図2)のそれぞれにおいて実行される個々のサーチ制御プロセス599を表わすフローチャートである図25に言及する。プロセス599は、一つのサーチ回路50、52、54及び56(図2)が、特定のレジスタ位置94(図2)を読み出して、CPU23(図1)によって与えられたサーチ割り当てを読み込むことにより開始する(ステップ605)。CPU23は、サーチ回路50、52、54及び56(図2)のため、それぞれのサーチウィンドウのサイズ及び初期タイミングオフセットを特定する。サーチ割り当てパラメータを読み込んだ後、各サーチ回路50、52、54及び56(図2)はそれぞれのサーチウィンドウ内のすべての仮説の評価を開始する(ステップ610)。割り当てられたサーチウィンドウ内のすべての仮説の評価が完了した後、各サーチ回路50、52、54及び56(図2)はサーチの結果をメモリ92(図2)に保持し(ステップ615)、割り込みを介して、サーチウィンドウの評価が完了したこと(ステップ620)をCPU23(図1)に通知し、続いてプロセス599が終了する(ステップ625)。

【0118】図23に戻って、CPU23(図1)が一つのサーチ回路50、52、54及び56(図2)から割り込みを受け取ると、CPU23(図1)はサーチの結果を読み、結果をCPUローカルメモリ(図示せず)に蓄積する(ステップ525)。次にCPU23(図1)は全PN期間がサーチされているかどうかをチェックする(判断532)。全PN期間がサーチされていないならば、CPU23(図1)はサーチ回路50、52、54及び56(図2)へのサーチウィンドウの割り当てを継続して、サーチが全PN期間の最初から最後まで続けられるようにする(ステップ515)。

【0119】全PN期間がサーチされると、CPU23(図1)は、CPUローカルメモリ(図示せず)に蓄積された結果を読み戻すことにより(ステップ535)、サーチの結果の処理を開始する。次に、CPU23(図1)は、サーチが少なくとも1つの良いタイミング仮説を識別しているかどうか、すなわち少なくとも1つの累積サーチ結果が規定しきい値を超え、個別のタイミング仮説において強いパイロットチャネルが潜在的に発見されたことを表わしているかどうかを判定する。もしも良い仮説が発見されなければ、CPU23(図1)

は、サーチを反復すべきか（ステップ505）を判定する（判定545）。本発明の好適な実施形態によると、メモリ92（図2）中にはカウンタが設けられており、CPU23（図1）がサーチを行ない、適当なタイミング仮説を発見できなかった回数のカウンタを維持している。CPU23（図1）がPN期間のサーチを実行し、適当なタイミングオフセット仮説を発見できなかった各回ごとに、カウンタは増分される。カウンタが定義されたしきい値を超えると、CPU23（図1）はもうサーチを反復することが許されない。カウンタがしきい値を超えなければ、上述したように、CPU23（図1）はもう一度PN期間を区分する（ステップ505）。不成功のサーチの数がしきい値を超えると、CPU23（図1）はサーチを反復することが許されない。その代わりに、本発明の好適な実施形態によると、CPU23（図1）はCDMAモードにおける動作を試みることを中断し、代わりにアナログモードの動作に落とす。

【0120】サーチにより少なくとも1つの良い仮説が作成されれば、CPU23（図1）は（ステップ560）、まだ検証されてはいない最大の累積を伴うタイミング仮説（最強の潜在的パイロットチャネル信号のタイミングロケーション）を選択し、サーチ回路50（図3）にタイミング仮説の質を検証するように指示する（ステップ565）。タイミング仮説検証プロセス565はCPU23（図1）により制御され、タイミングオフセットにおいて以前に記録された累積がスプリアスによるものでないことを保証するためにタイミング仮説の再検証の反復を含んでいる。

【0121】ここで、本発明の好適な実施形態による、CPU23（図1）において実行されるパイロットチャネル取得サーチの第2段階であるタイミング仮説検証プロセス565を表わす図26のフローチャートに言及する。良いタイミング仮説は反復的にサーチされ、検証されたタイミング仮説となるには、累積結果は、一つの許容し得る例としては、25回の連続するサーチすべてにわたって連続して規定しきい値を超えなければならない。検証プロセス565が開始した後（ステップ705）、CPU23（図1）は、良いタイミング仮説の再走査の必要数が実行されたかどうかを判定する（判定710）。もしそうでなければ、CPU23（図1）は、検証された良いタイミング仮説の周囲のサーチウィンドウを集中し、サーチウィンドウパラメータをレジスタ位置94（図2）に書き込むことにより、サーチ回路50（図3）にサーチウィンドウを走査するように指示する。そして、CPU23（図1）は、走査の完了を知らせるサーチ回路50（図2）からの割り込みを待つ（ステップ722）。

【0122】タイミング仮説検証プロセス565におけるサーチウィンドウの走査は、図25に示されたPN期間をサーチする第1段階の間のサーチ回路50（図

3）によるサーチウィンドウの累積に非常に類似しており、サーチ回路50（図3）は、ローカル発生 of PNシーケンスデータと多重化された後に受信されるパイロットチャネルPNシーケンスデータをコヒーレント的及びノンコヒーレント的に累積する。受け取ったデータとローカル生成PNシーケンスデータとは同じタイミングオフセットを有し、結果的に累積は大きな値を有する。サーチ回路50（図3）がサーチウィンドウの走査を完了した後、走査の結果をメモリ92（図2）に書き込み、走査の完了を知らせて、CPU23（図1）に割り込む。サーチ回路50（図3）からの割り込みを受け取った後、CPU23（図1）は、走査による結果を読み取り、タイミング仮説による累積が規定しきい値を超えているかどうか判定する（判定ステップ730）。累積が規定しきい値を超えていれば、CPU23（図1）は、再度タイミングオフセット仮説の再走査が必要な回数実行されたかどうかを判定する（ステップ710）。再走査が必要な回数実行されていれば、CPU23（図1）は、タイミング仮説の検証が成功したものとみなし、結果をメモリ92（図2）に蓄積し、実行を終了する（ステップ745）。累積が規定しきい値を超えていなければ（判定ステップ730）、CPU23（図1）は、タイミング仮説の検証は失敗したものとみなし（ステップ735）、結果をメモリ92（図2）に蓄積し、実行を終了する（ステップ745）。

【0123】図23に戻ると、検証プロセス（ステップ565）の完了後、タイミング仮説が検証に回され（ステップ570）、CPU23（図1）少なくとも1つのフィンガ／サーチ共有回路52、54、56に、検証されたタイミング仮説のタイミングを利用して、同期チャネル復調の試行開始を割り当てる（ステップ575）。同期チャネルはCDMAシステムにおける各基地局により放射された、ウォルシュコード32を用いて常に変調され、移動局への初期タイミング情報をも伴う特殊制御チャネルである。同期チャネルの復調に問題がなければ（判定580）、次にCPU23（図1）は、パイロットチャネルを取得したものとみなし、フィンガ／サーチ共有回路52、54、56に、基地局からの付加的な情報を復調するように指示する（ステップ585）。同期チャネルの復調の試行に問題が生じたなら、同期チャネルは良い同期チャネルとは見なされず（判定580）、タイミング仮説の結果は無視され、CPU制御プロセス499はすべての良い仮説をテストすべきか判定する（判定590）。テストすべき良いタイミング仮説が残っていたなら、CPU23（図1）は、最大の累積を伴う検証していない（すなわち仮説検証プロセス（ステップ565）を通過していない）良いタイミング仮説を選択し、検証プロセス（ステップ565）を反復する。このようにして、CPU23（図1）がすべての良いタイミング仮説の検証を試みたなら、CPU

23 (図1)は前述のようにサーチを反復するかどうか判定する(判定545)。明白に、本発明の好適な実施形態の一つの利点は、PN期間の第一段階に行われる全体サーチにおいて、良いタイミング仮説が最も使用されやすいことを保証されることにある。これは、第1段階のサーチの間に検証することなく発見されたすべてのタイミング仮説が一連であり、第2段階の検証によって最大の累積を伴うタイミング仮説を選択することによる。本発明の好適な実施形態のさらに別の利点は、PN期間全体が1つのステップにおいて区分され、分配されることである。サーチ回路が割り当てられたサーチを完了した後に、さらに配分を必要することがない。さらにまた、すべてのサーチ回路がサーチ制御プロセスの第1段階全体を通じて利用され、高い効率が達成される。さらにサーチ回路は、それぞれのPN期間区分内でタイミング仮説の非常に近いウィンドウに転回可能なので、転回時間を最小化できる。本発明の好適な実施形態の2段階サーチ方法は、比較的一定した総サーチ時間と過度に複雑にならない実現例とを提供する。加えて、デュアルモードCDMA/アナログ移動局においては、CDMAシステムが利用できない場合のアナログシステムを得るためのアナログモードへの切り換えの必要を迅速に識別することができる。

【0124】次いで、本発明の好適な実施形態におけるサーチ回路を制御するためのCPUサーチ制御プロセス1099を表わすフローチャートである図27に言及する。本実施形態によれば、CPU23(図1)は、PN期間ブロック799により図28に図示のように、PN期間の効率的な区分(ステップ1103)により処理を開始し(ステップ1103)、区分にサーチ回路資源を割り当てる(ステップ1106)。図28によると、PN期間ブロック799は、10の同サイズの区分900、905、910、915、920、925、930、935、940及び945に分けられる。10の区分はCDMAモデムチップにおけるサーチ回路、例えば1つのサーチ回路50及び3つのフィンガ/サーチ共有回路52、54、56の数の2倍である。本実施形態によると、初めに、最初の5つのブロック900、905、920、915及び920がサーチ回路に配分される。ブロック900及び905はサーチ回路50に配分され、ブロック910、915及び920は3つのフィンガ/サーチ共有回路52、54及び56にそれぞれ配分される。

【0125】図27に戻ると、割り当てがなされた後、CPU23(図1)は個々の区分900、905、910、915及び920(図28)を、サーチウィンドウと呼ぶさらに小さな回路に効率的に分け、サーチ回路50、52、54、56(図2)にそれぞれの区分内の最初のウィンドウのサーチをそれぞれ開始するように指示する。CPU23(図1)は、最初のサーチウィンド

ウのサイズ及び最初のサーチウィンドウの初期タイミングオフセットを、サーチ回路50、52、54及び56(図2)それぞれに連結する特定のレジスタ94(図2)に書き込む。レジスタ94へのサーチパラメータの書き込みにより、CPU23(図1)は、サーチ回路50、52、54、56(図2)個々において実行されるサーチプロセスを開始する(ステップ1109)。次に、CPU23(図1)はサーチ回路がサーチウィンドウ(図7)中のすべてのタイミングオフセットの評価を完了するまで待機する(ステップ1112)。一つのサーチ回路50、52、54及び56(図2)から割り込みを受け取った後、CPU23(図1)はメモリ92(図2)から検索結果を読み取る(ステップ1115)。次にCPU23(図1)は、たった今終了したサーチがサーチウィンドウの通常の評価であるか、もしくはタイミングオフセット仮説の検証走査であるかを判定する(判定1118)。たった今終了したサーチが検証走査でなければ、それはサーチウィンドウの初期評価であることを意味し、次にCPU23(図1)は検索結果が良いタイミング仮説を含むか、すなわちタイミング仮説累積が規定しきい値を超えているかを判定する(判定1121)。

【0126】このポイントの後、先に説明した実施形態とは異なり、一つのあるいはそれ以上のサーチ回路59、52、54及び56(図2)が仮説検証を行い、一方、一つあるいはそれ以上のサーチ回路59、52、54及び56(図2)は続くウィンドウのサーチを開始することができる。これにより、さまざまなサーチ回路59、52、54及び56(図2)は、図29のフローチャートにより表わされた異なるパスを同時にたどることができる。ウィンドウ中に良い仮説があったならば、CPU23(図1)は最良の仮説、すなわち最大の累積を伴う仮説をテストすることなく選択し(ステップ1122)、サーチ回路59、52、54及び56

(図2)のうちで最初にそのウィンドウをサーチしたサーチ回路にタイミング仮説の検証を割り当てる。サーチ回路59、52、54及び56(図2)のうちのサーチ回路にタイミング仮説の検証のタスクを割り当てると、良いタイミング仮説を伴うその中の中心となるサーチウィンドウが生み出され、サーチのパラメータがそのサーチ回路に連結する特定のレジスタ位置94に書き込まれる。検証走査をそのサーチ回路に割り当てた後、そのサーチ回路に関しては、CPU23(図1)はそのサーチ回路が検証走査するサーチウィンドウ中のすべてのオフセット仮説の検証を完了するまで待機する。

【0127】最初のサーチにおいて良い仮説がなかった場合には(判定1121)、CPU23(図1)は、区分が完了したかを判定し、完了していなければ続くウィンドウがサーチされる(ステップ1109)。もしそう

10

20

30

40

50

でなければ、CPU23 (図1) はPN期間中に未サーチの区分があるかどうか判定し (判定1140)、もしそうならば、新しいサーチを開始する前に (ステップ1109)、サーチ回路59、52、54及び56 (図2) のうちで区分を終了したサーチ回路に新しい区分を割り当てる (ステップ1141)。未サーチの区分がなければ、CPU23 (図1) は終了したサーチ回路に関しては、PN期間が完全にサーチされるまで待機する。すなわち他の残っているサーチ回路がその区分を完了するまで待機する。すべての区分が完了すると、先の実施形態の形と同様の形で、CPU23 (図1) はサーチを反復すべきか (判定1145)、あるいはアナログモードに入るべきかを判定する。

【0128】検証走査の後、良いタイミング仮説の累積が規定しきい値と比較される (判定1127)。定められた数の走査の後、累積が規定しきい値を超えていれば (判定1130、ステップ1133)、CPU23 (図1) は、検証の結果を保持し、フィンガ/サーチ共有回路52、54及び56 (図2) のうちの一つのフィンガ/サーチ共有回路に良いタイミング仮説を使って同期チャネルを取得する試行を行なうように指示する (ステップ1157、判定1160、ステップ1163)。もちろん、良いタイミング仮説がサーチモードで動作しているフィンガ/サーチ共有回路52、54及び56 (図2) の内の一つにより発見されていれば、同期チャネル取得の試みは、フィンガ/サーチ共有回路52、54及び56 (図2) のうちの同じフィンガ/サーチ共有回路により実行される。そうでなければ、サーチ回路50が良い仮説を発見し検証した場合に、フィンガ/サーチ共有回路52、54及び56 (図2) の一つに同期チャネルを取得する試行が割り当てられる。同期チャネル取得試行が成功すると、CPU23 (図1) はパイロットチャネルが得られたものとみなし、パイロットチャネル取得プロセス1099は終了する (ステップ1172)。取得した同期チャネルに問題があれば、CPU23 (図1) は、サーチウィンドウが良い仮説を含んでいなかったものとして処理を続行する (判定1139)。

【0129】以上説明したように、本実施形態は、すべてのPN期間のサーチを強制的に行うことなく、良いタイミング仮説を敏速に検証できるという利点を有する。これにより、本実施形態にかかる方法は、良い仮説が一つの最初にサーチされるPN期間区分の初期ウィンドウの一つに存在するので、移動局が非常に早くパイロットチャネルを取得できる機会があるという大きな利点を伴う。いくつかのサーチ回路は、そのサーチを他のサーチ回路よりも早く完了するので、検証の必要なウィンドウの数次第で、より小さなPN期間区分はサーチ資源配分の柔軟性及び効率をもたらす。

【0130】他の実施形態においては、図5、図7及び

図8のプロセスは、図28の部分的な配列と組み合わせられる。すなわち、サーチ回路は、最初の5つのブロック900、905、910、915及び920中の仮説の第1段階の評価を完了し、良いタイミングオフセット仮説 (もしあれば) がサーチした中に発見されると、第2段階として検証を行い、続いて第2セットの5ブロック925、930、935、940及び945が同様に分析される。同様に、本発明の別の他の実施形態によると、図27のプロセスは図24の部分的な配列に使うために適応される。この他の実施形態においては、全区分の数は全サーチ回路の数と一致するので、ステップ1140及び1141は取り除かれる。

【0131】ここで、本発明の他の好適な実施形態によるPN期間の区分及び配分を示すブロック図である図29に言及する。PN期間ブロック899は、3つの等しいサイズのブロック1005、1010及び1015に分けられて示されている。この3つのブロック1005、1010及び1015は3つのフィンガ/サーチ共有回路52、54及び56 (図2) にそれぞれ割り当てられる。この実施形態によると、サーチ回路50 (図2) は仮説の初期サーチ評価を実行せず、しかし、そのかわりにPN期間ブロック899のサーチ評価の間にフィンガ/サーチ共有回路52、54及び56により発見された良い仮説をすべて検証するためにのみ使用される。各フィンガ/サーチ共有回路がサーチウィンドウの検証を完了すると、検索の結果がメモリ92 (図2) に書き込まれる。CPU23 (図1) は、次に、組み合わせフィンガ/サーチ回路52、54及び56がPN期間区分における次のウィンドウのサーチを継続している間でも、専用サーチ回路50にタイミングオフセット仮説の検証を割り当てることができる。この実施形態は、良いタイミング仮説のサーチとは独立に、良いタイミングオフセット仮説の検証を行うことができるという利点を有する。

【0132】本発明の別の実施形態として、CDMA移動式ワイヤレス電話に、専用のサーチ回路の有無に関係なく、複数の組み合わせフィンガ/サーチ回路を装備することができる。本発明のさらに別の実施形態では、複数の組み合わせフィンガ/サーチ回路を装備するが、専用のサーチ回路をもたない。本発明のさらにまた別の実施形態として、固定ワイヤレス電話の適切な動作に要するフィンガ動作およびサーチ動作の全部を実行できる、1つの組み合わせフィンガ/サーチ回路だけを装備した固定ワイヤレス電話も可能である。

【0133】本発明のさらに別の実施形態によれば、各組み合わせフィンガ/サーチ回路の設計は、サーチ回路50 (図3) の増加した複雑さ全てを含んでおり、従ってこの実施形態は十分に性能を向上させた一つサーチ回路と、十分に性能を向上させた複数の組み合わせフィンガ/サーチ回路を有している。この実施形態は、組



合わせフィンガ／サーチ回路のより強力なサーチ回路の機能的利益面に関して、それを構成するハードウェアの複雑さとその費用との釣り合いをとっている。また別の実施形態は、データ取得フィンガ機能及びパイロットチャネル取得サーチ回路機能の両者を有する単一型組み合わせフィンガ／サーチ回路だけを含んでいる。従って、独立の専用サーチ回路は持っていない。この単一機能回路型はCDMAモデムで複数回反復される。この実施形態は、単一機能回路であるが故に、その設計及び実施に際しての容易さと一貫性をその特徴としている。

【0134】これまで述べてきた本発明の実施形態は好ましい実施形態であるが、本発明の方法及び装置に関する他の実施形態は、本願開示の内容から見て、それ自体を当業者に示唆するものであろう。従って、本発明に関する種々の変更及び修正は本発明の精神及び範囲内において実行可能であること、また本発明の範囲は以下の特許請求の範囲の記載によって限定されるものであることを理解されたい。さらに、以下の特許請求の範囲に記載のものに対応する構造、材料、作用、及び手段の付加的機能要素または処理段階の付加的機能要素の同等物は、明確に請求されている他の請求要素との組合せによって請求機能を実施する如何なる構造、材料、または作用を含むものであることを記しておく。

#### 【0135】

【発明の効果】以上説明したように、本発明によれば、確からしさの高いタイミング仮説を迅速に検証することが可能なので、CDMAモデム回路の冗長性と無駄が最適化され、移動局は迅速にパイロットチャネルを取得することが可能である。さらに、CDMAシステムが利用できない場合にもアナログシステムへの切り換えの決断を迅速に行うことが可能であり、システムの高効率化を図ることが可能である。

#### 【図面の簡単な説明】

【図1】本発明の好適な実施形態に基づいて構成されたCDMAワイヤレス電話の概略構成を示すブロック図である。

【図2】本発明の好適な実施形態に基づいて構成された図1のCDMAモデム回路(CMC)の受信部の概略構成を示すブロック図である。

【図3】本発明の好適な実施形態に基づいて構成された図2のサーチ回路の概略構成を示すブロック図である。

【図4】本発明の好適な実施形態に基づいて構成された図2のサーチ回路の通常動作時に実行される各ステップの概略構成を示すフローチャートである。

【図5】本発明の好適な実施形態に基づいて構成された図3のサーチ回路のPN乗算器の概略構成を示すブロック図である。

【図6】本発明の好適な実施形態に基づいて構成された

図3のサーチ回路のコヒーレント累算器の概略構成を示すブロック図である。

【図7】本発明の好適な実施形態に基づいて構成された図3のサーチ回路の多機能比較器及びロジック回路の概略構成を示すブロック図である。

【図8】本発明の好適な実施形態に基づいて構成されたローカル最大値発生器により検証される三つの振幅間で見起こりうる関係を示す説明図である。

【図9】本発明の好適な実施形態に基づいて構成された共通回路要素を備えた図2の組み合わせフィンガ／サーチ回路の概略構成を示すブロック図である。

【図10】本発明の好適な実施形態に基づいて構成された図9の組み合わせフィンガ／サーチ回路のPN乗算器の概略構成を示すブロック図である。

【図11】本発明の好適な実施形態に基づいて構成された図9の組み合わせフィンガ／サーチ回路の位相ロックループ(PLL)/コヒーレント累算器の概略構成を示すブロック図である。

【図12】本発明の好適な実施形態に基づいて構成された組み合わせフィンガ／サーチ回路のデータ復調器の概略構成を示すブロック図である。

【図13】本発明の好適な実施形態に基づいて構成された図9の組み合わせフィンガ／サーチ回路の多機能遅延ロックループ回路の概略構成を示すブロック図である。

【図14】本発明の好適な実施形態に基づいて構成された組み合わせフィンガ／サーチ回路の多機能比較器の概略構成を示すブロック図である。

【図15】本発明の好適な実施形態に基づいて構成された組み合わせフィンガ／サーチ回路がそのサーチモードで動作する際に行う動作の流れを示すフローチャートである。

【図16】本発明の好適な実施形態に基づいて構成された図3に示す組み合わせフィンガ／サーチ回路がサーチモードで動作している場合の各機能ブロック間におけるある時点での関係を示すタイミング図である。

【図17】本発明の好適な実施形態に基づいて構成された図3に示す組み合わせフィンガ／サーチ回路がフィンガモードで動作している場合の各機能ブロック間におけるある時点での関係を示すタイミング図である。

【図18】本発明の好適な実施形態に基づいて構成されたシステムクロックの状態を示す状態図である。

【図19】本発明の好適な実施形態に基づいて構成された図9の組み合わせフィンガ／サーチ回路がフィンガモードで動作する場合の動作を選択的に示したフローチャートである。

【図20】本発明の好適な実施形態に基づいて構成された図19に示すフローチャートに継続するフローチャートである。

【図21】本発明の好適な実施形態に基づいて構成された図19に示すフローチャートに継続するフローチャー



トである。

【図22】本発明の好適な実施形態に基づいて構成された図19に示すフローチャートに継続するフローチャートである。

【図23】本発明の好適な実施形態に基づいて構成された図2のCMCのサーチ回路を制御するCPUの処理流れを示すフローチャートである。

【図24】本発明の好適な実施形態に基づいて構成された専用サーチ回路と組合わせフィンガ/サーチ回路にPN期間を分割し割当てる様子を示すブロック図である。

【図25】本発明の好適な実施形態に基づいて構成された各サーチ回路内に実行される個々のサーチ制御プロセスの動作を示すフローチャートである。

【図26】本発明の好適な実施形態に基づいて構成された図23に示す制御プロセスの仮説検証プロセスの動作を示すフローチャートである。

【図27】本発明の好適な実施形態に基づいて構成された図2のCMC内のサーチ回路を制御するCPUプロセスの動作を示すフローチャートである。

【図28】本発明の好適な実施形態に基づいて構成された専用サーチ回路と組合わせフィンガ/サーチ回路にPN期間を分割し割当てる様子を示すブロック図である。

【図29】本発明の好適な実施形態に基づいて構成された専用サーチ回路と組合わせフィンガ/サーチ回路にPN期間を分割し割当てる様子を示すブロック図である。

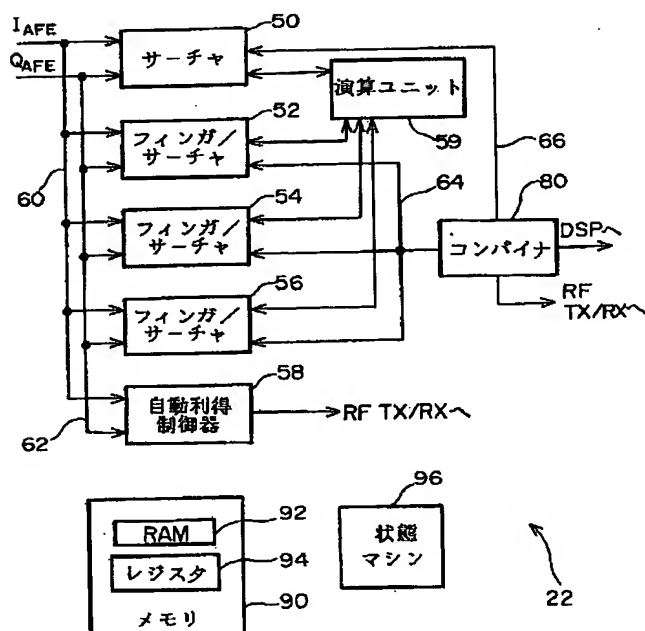
【符号の説明】

- \* 12 アンテナ
- 14 無線周波数送受信回路 (RF TX/RX)
- 18 アナログフロントエンド (AFE)
- 22 CDMAモデム回路 (CMC)
- 23 CPU
- 26 デジタル信号プロセッサ (DSP)
- 30 符号/復号器 (CODEC)
- 34 インタフェース制御器
- 36 スピーカ
- 38 マイクロホン
- 39 キーパッド
- 40 表示装置
- 50 サーチャ
- 52 フィンガ/サーチャ
- 54 フィンガ/サーチャ
- 56 フィンガ/サーチャ
- 58 自動利得制御器
- 59 演算ユニット
- 80 コンバイナ
- 20 90 メモリ
- 92 RAM
- 94 レジスタ
- 94 レジスタ
- 96 状態マシン
- 100 PN乗算器
- 110 コヒーレント累算器
- 120 多機能比較器/ロジックユニット
- 170 タイミング発生器

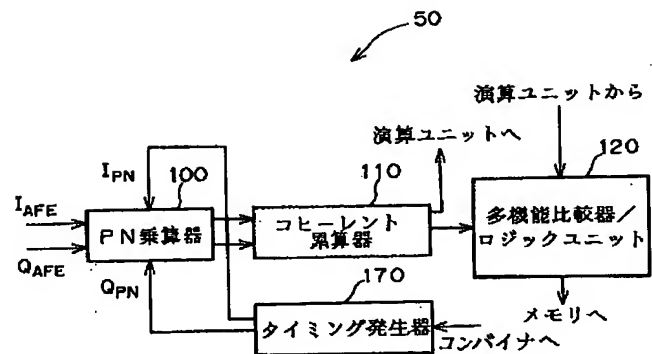
\*

30

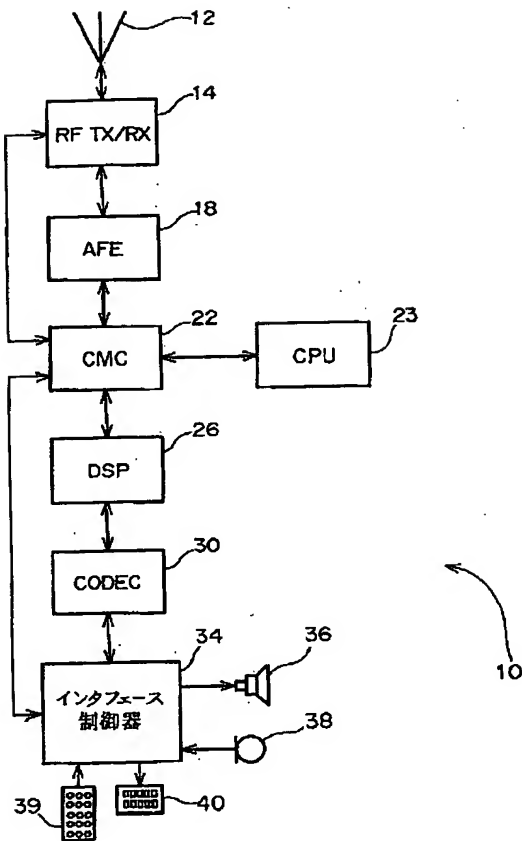
【図2】



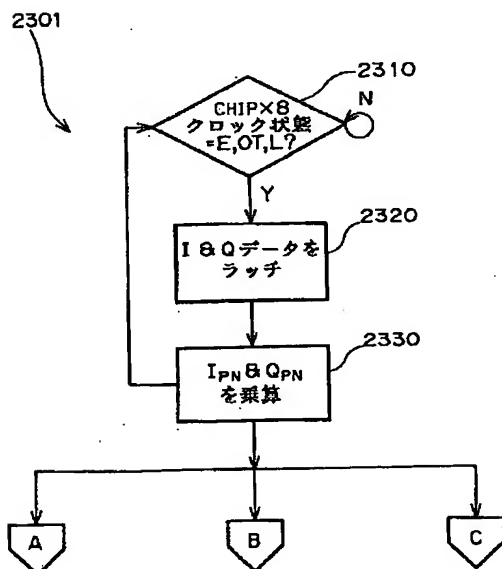
【図3】



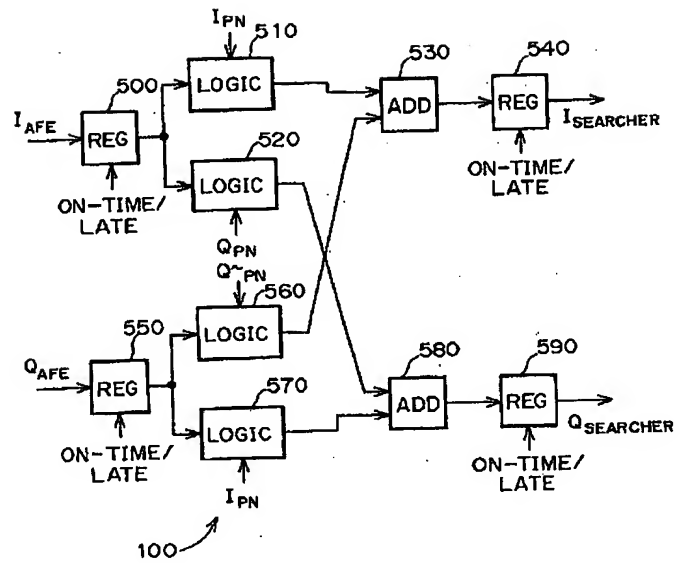
【図1】



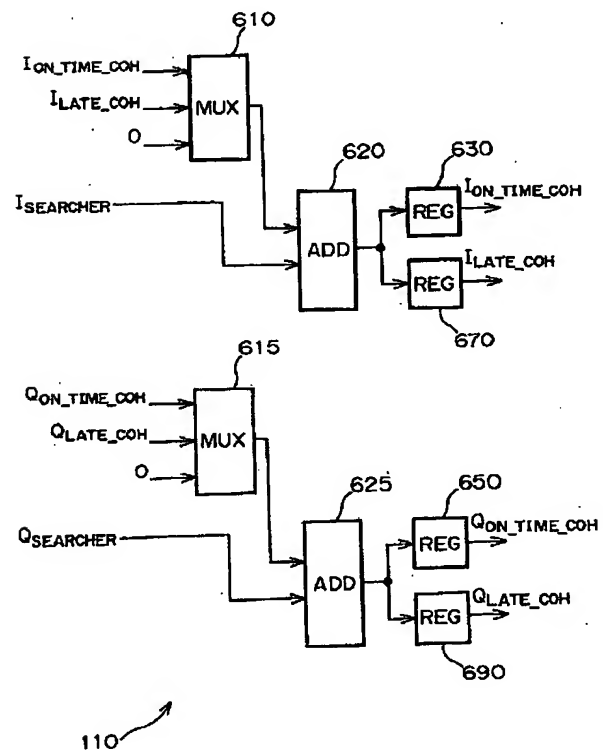
【図19】



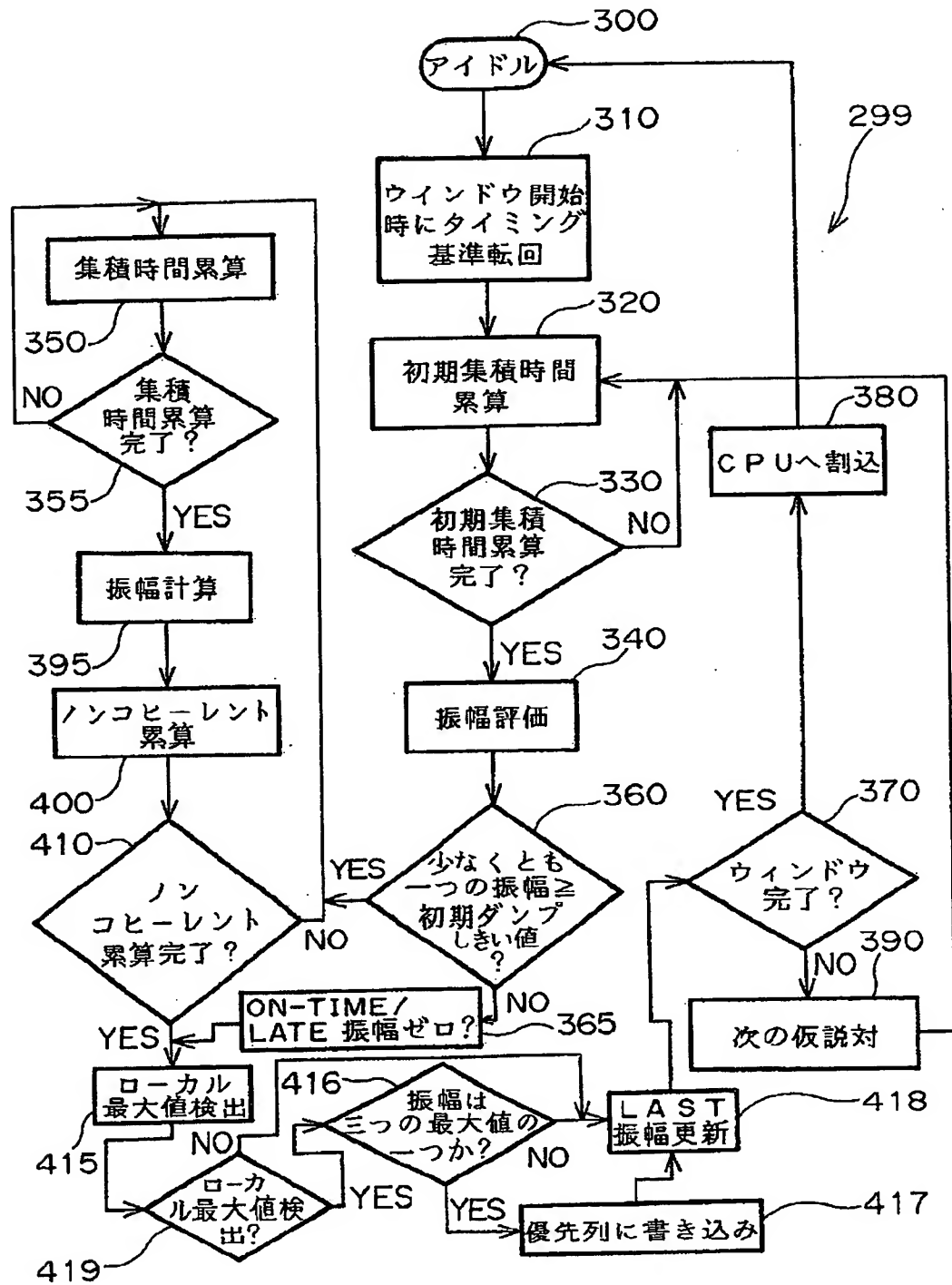
【図5】



【図6】

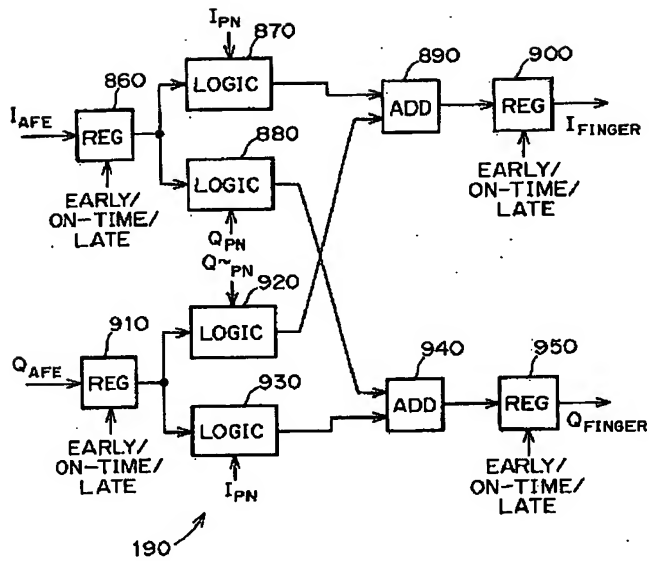


【図4】

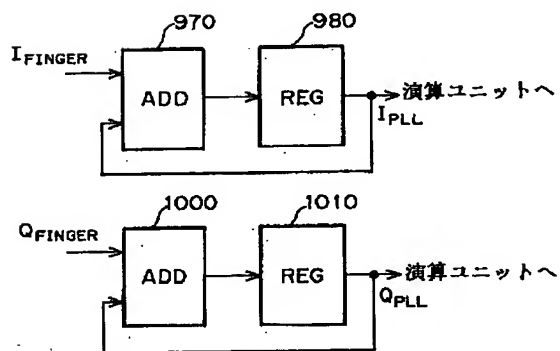




【図10】



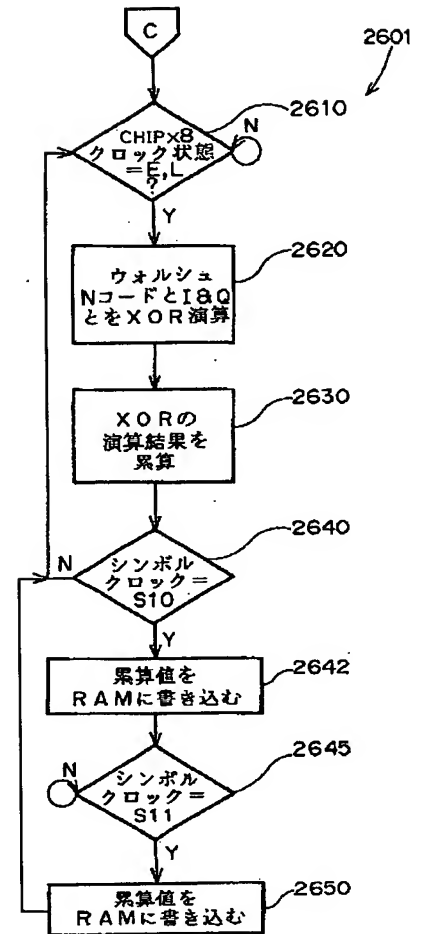
【図11】



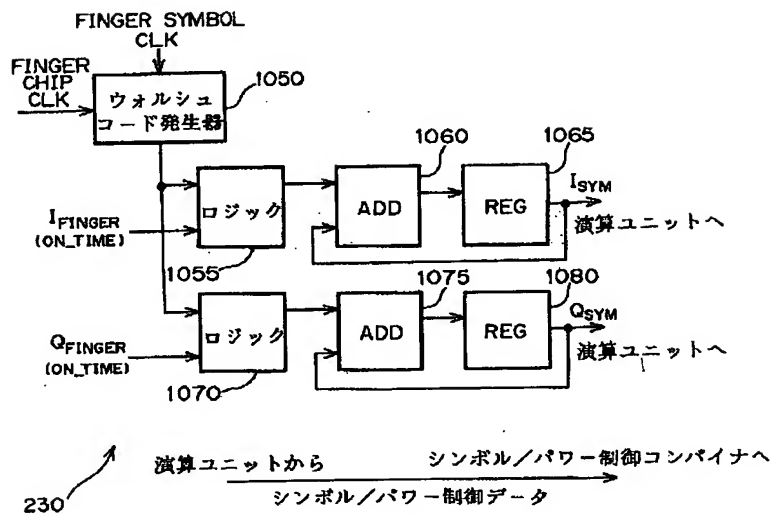
演算ユニットから → 周波数エラー → 周波数エラーコンパイナへ

210

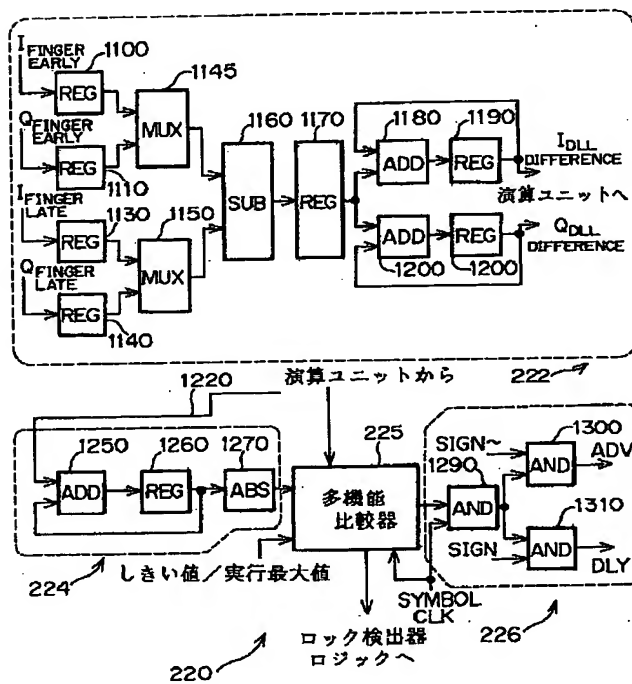
【図22】



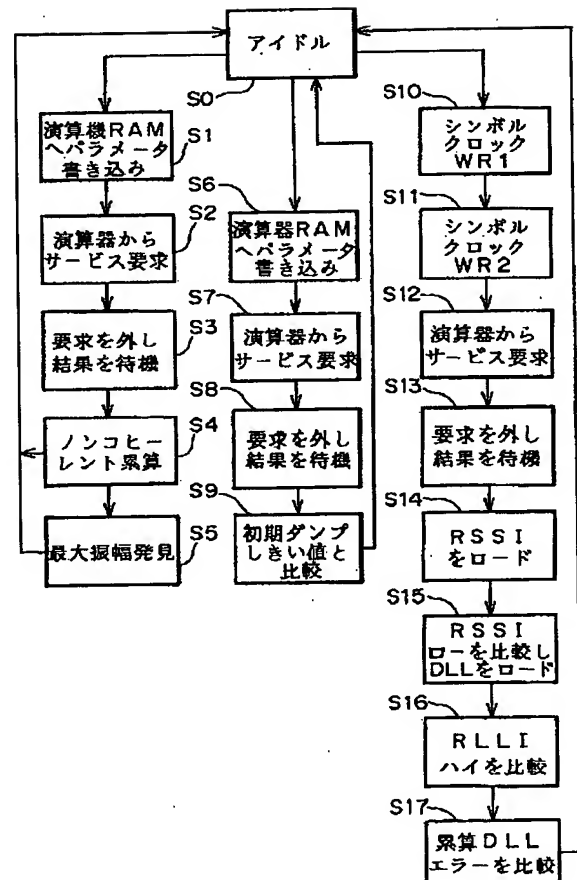
【図12】



【図13】

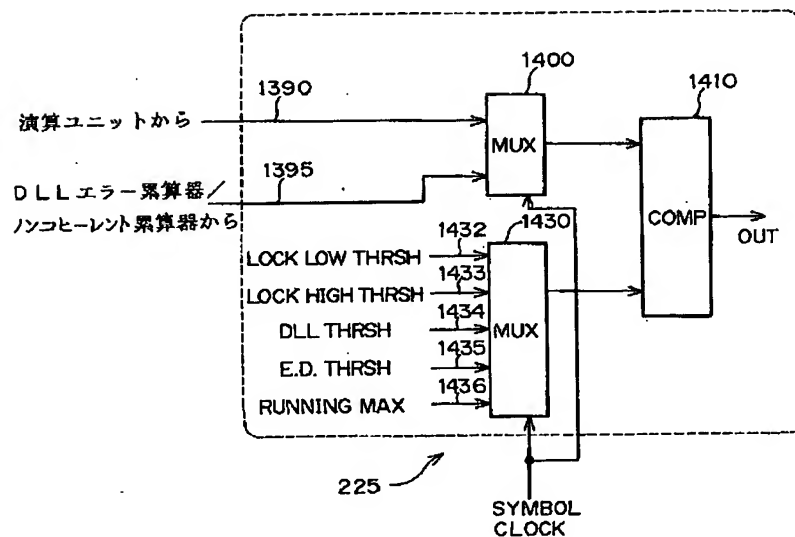


【図18】

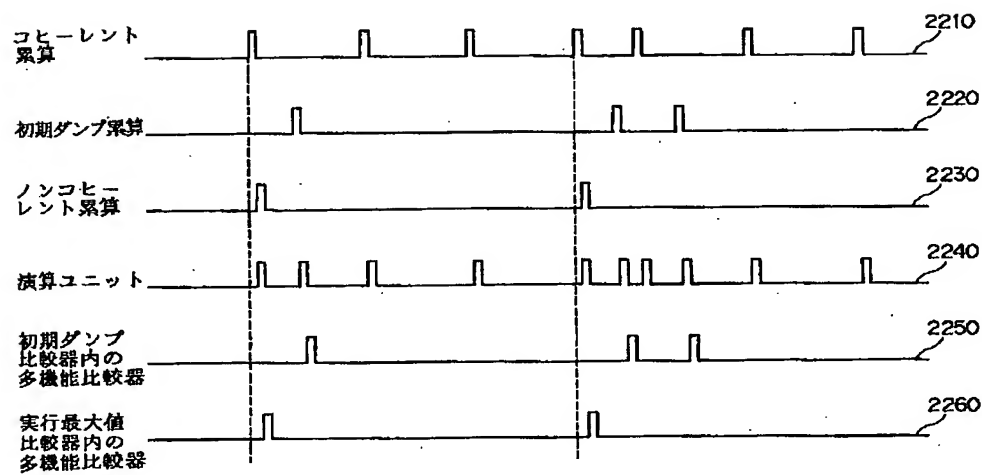




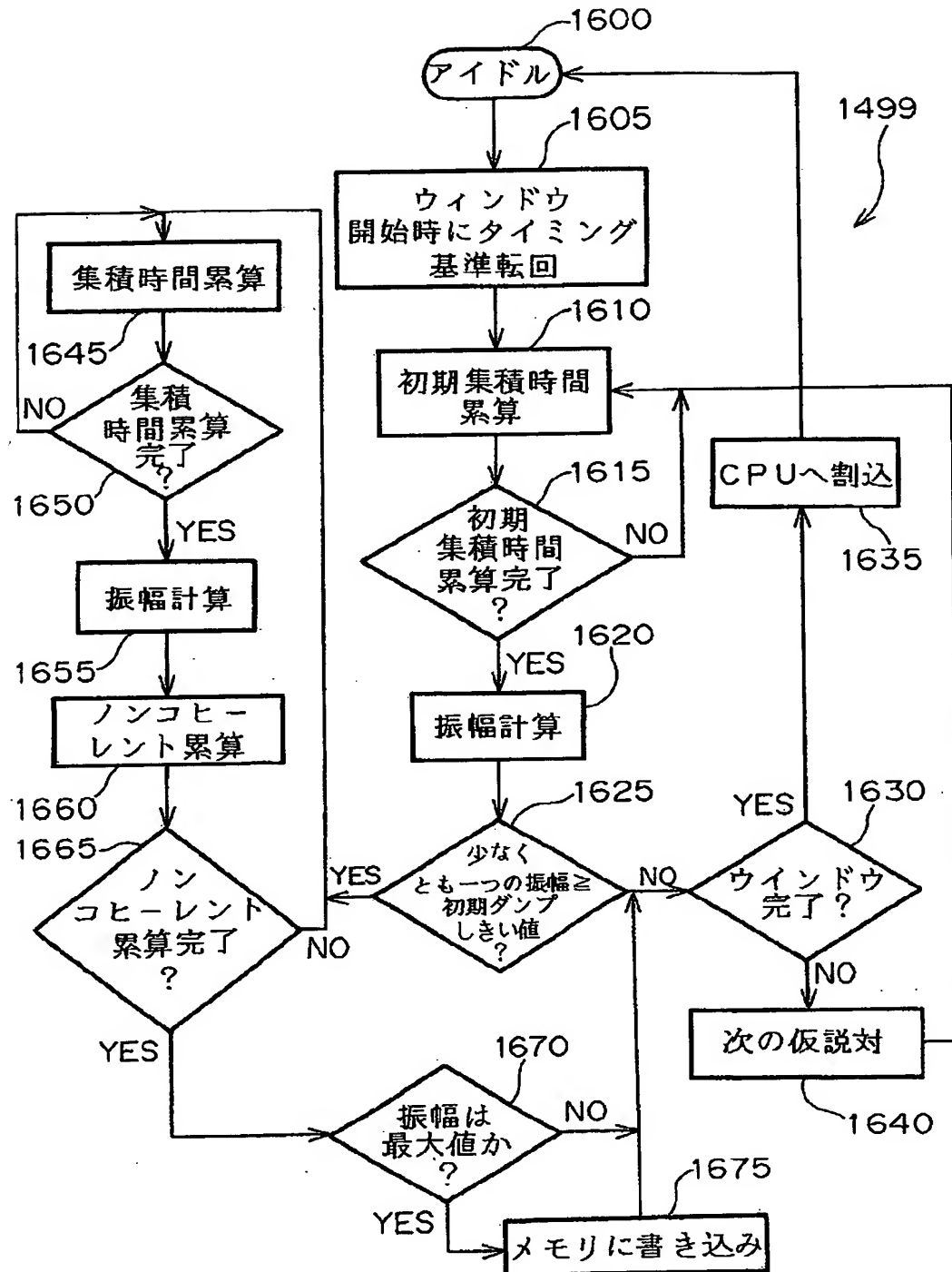
【図14】



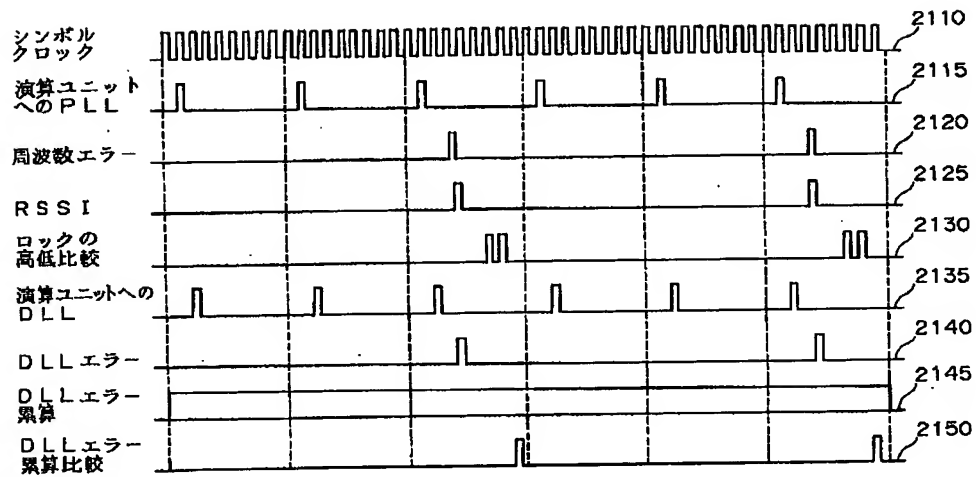
【図16】



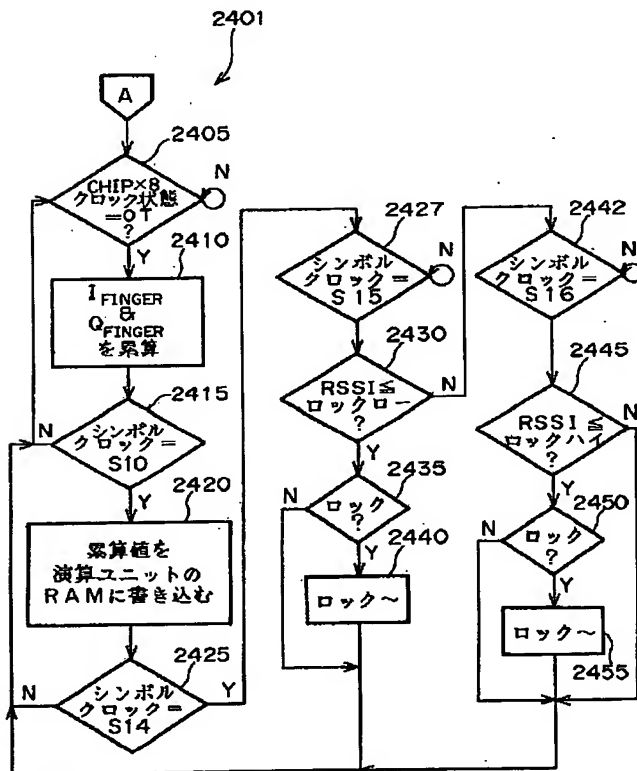
【図15】



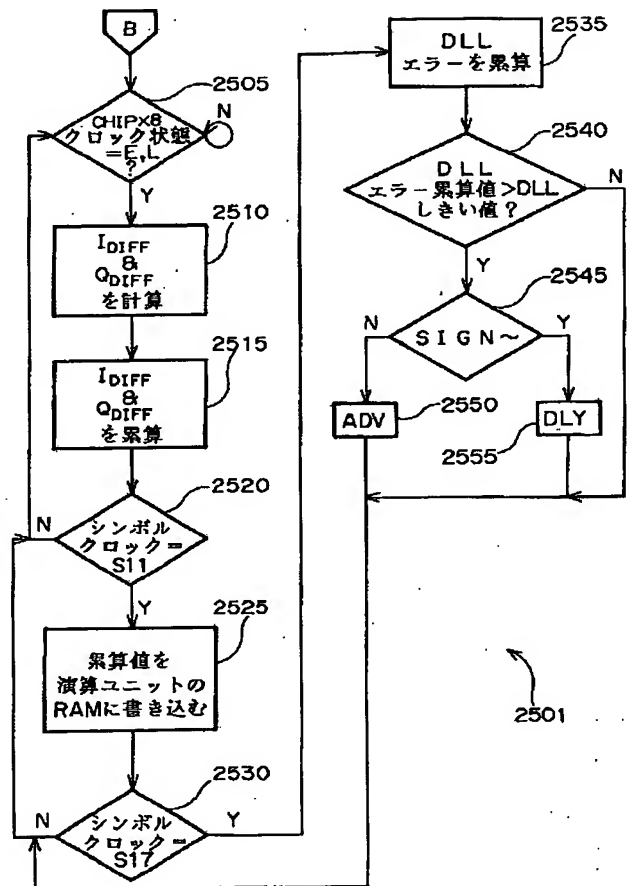
【図17】



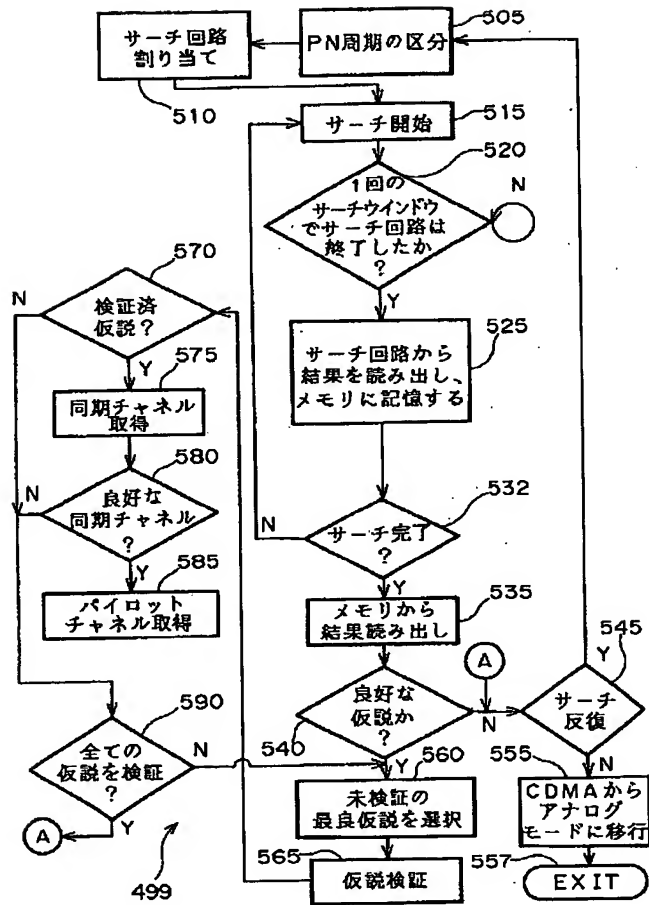
【図20】



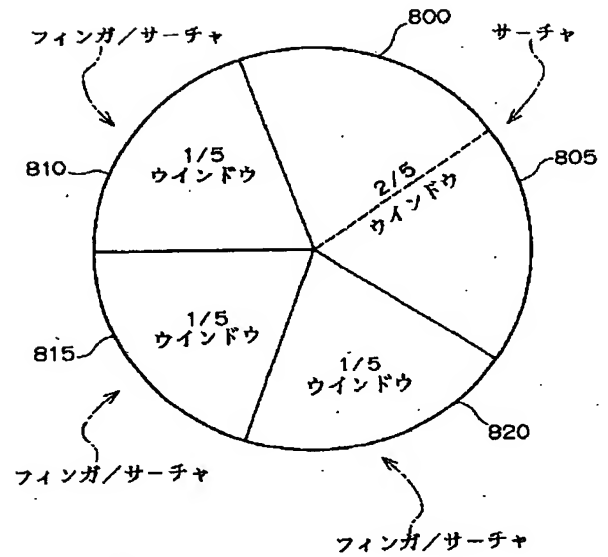
【図21】



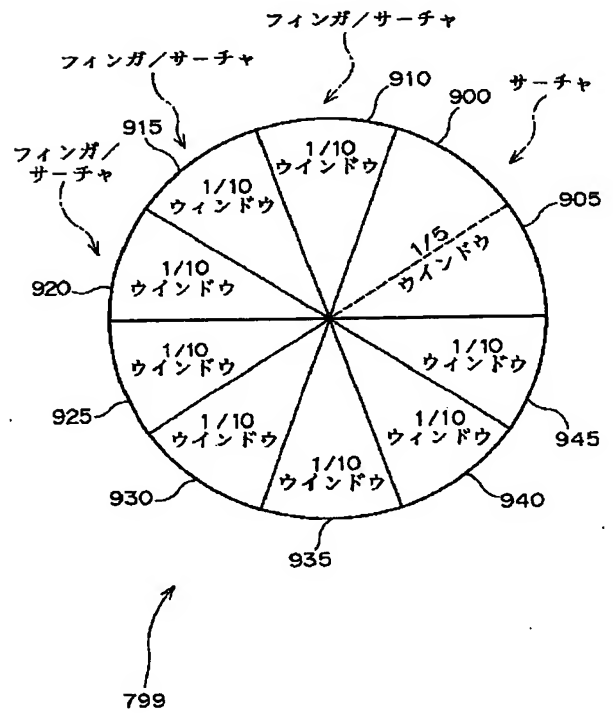
【図23】



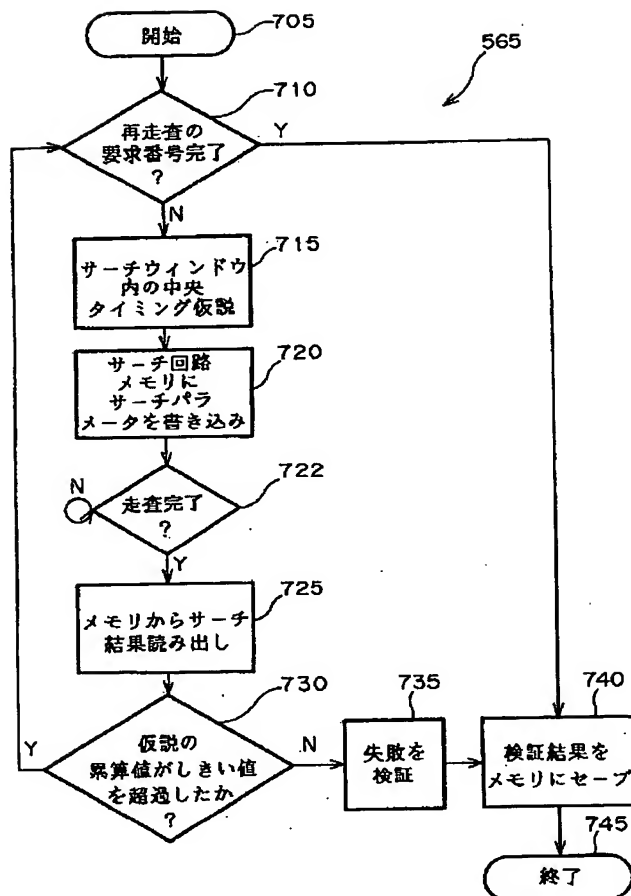
【図24】



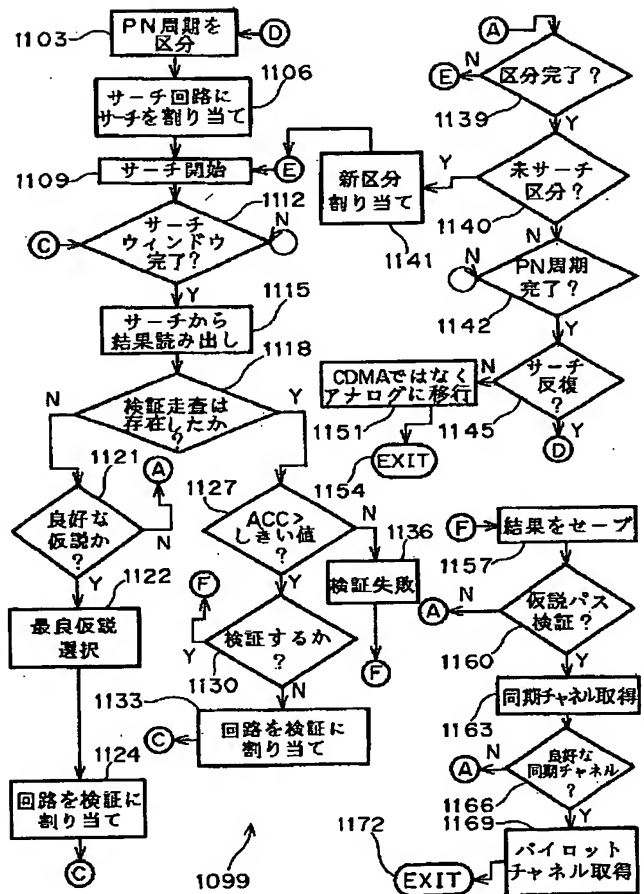
【図28】



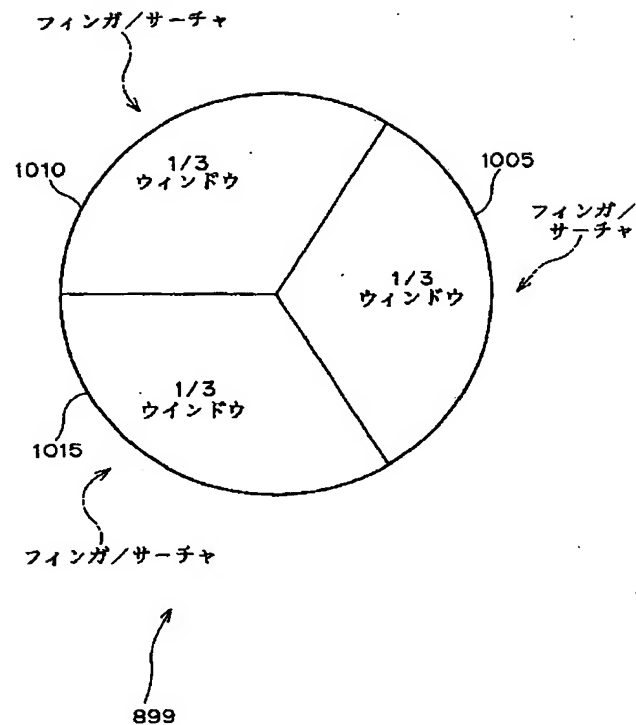
【図26】



【図27】



【図29】



フロントページの続き

(31)優先権主張番号 08/828575  
 (32)優先日 1997年3月31日  
 (33)優先権主張国 米国(US)  
 (31)優先権主張番号 08/816484  
 (32)優先日 1997年3月13日  
 (33)優先権主張国 米国(US)  
 (31)優先権主張番号 08/926512  
 (32)優先日 1997年9月10日  
 (33)優先権主張国 米国(US)

(72)発明者 ダニー ストブラー  
 イスラエル国, テル アヴィヴ, ヨシュア  
 ビン ナン 4  
 (72)発明者 アミット オーレン  
 イスラエル国, ハイファ, アロン ストリ  
 ート 44  
 (72)発明者 ジラード アヤローン  
 イスラエル国, ホッド ハシヤロン, ハン  
 キン 36  
 (72)発明者 ウジ キール  
 イスラエル国, ラマト ガン, ヨッセフィ  
 ー 14/8